

CAPITOLO 2

CORRELATORI

2.1. GENERALITÀ

I correlatori sono dispositivi hardware o software in grado di elaborare le grandezze $f(t)$ funzioni del tempo, già menzionate, per trarne le funzioni di correlazione rispettivamente $C(r)$ e $C(r)_x$.

Le strutture dei correlatori sono diverse a seconda che si debbano trattare dei segnali del tipo $f(t)$ o del tipo $X(t)$ o $f(t)$ trasformati in $X(t)$.

In ogni caso tutti i correlatori sono forniti di due ingressi per i segnali da elaborare e di una uscita dalla quale si sviluppa la funzione di correlazione voluta; i correlatori possono indifferentemente calcolare sia la funzione di autocorrelazione che la funzione di correlazione incrociata dato che la diversità tra le due funzioni risiede soltanto nelle caratteristiche dei segnali applicati agli ingressi.

Si definiscono correlatori di tipo analogico quei dispositivi hardware o software che sono progettati per l'elaborazione diretta delle grandezze (o funzioni del tempo) del tipo $f(t)$.

Si definiscono correlatori di tipo digitale quei dispositivi hardware o software che sono progettati per l'elaborazione delle funzioni del tempo tipo $X(t)$ o $f(t)$ trasformate in $X(t)$

Le strutture elettriche dei due tipi di correlatori, analogici o digitali, sono completamente diverse, ma le informazioni fornite dalle due funzioni $C(r)$ e $C(r)_x$ sono molto simili anche se i grafici che le rappresentano, a volte, mostrano significative differenze.

Il trattamento delle funzioni $f(t)$, eseguito in un correlatore analogico, fornisce, rispetto ad un correlatore digitale che deve trattare le $f(t)$ trasformate in $X(t)$ dopo limitazione d'ampiezza, una maggiore immunità al disturbo che dovesse inquinare la $f(t)$.

Dopo quanto detto potrebbe sembrare che la scelta tra le due solu-

zioni strutturali del correlatore, analogica o digitale, dovesse necessariamente propendere per la prima, ma ciò non è sempre conveniente.

Infatti se si deve realizzare un solo dispositivo di correlazione in grado di funzionare in un campo di segnali di ingresso per frequenze medio basse si può risolvere il problema sviluppando una struttura analogica ottimamente rispondente alle necessità del caso.

Se invece si devono realizzare numerosi dispositivi di correlazione, e vedremo più avanti che è questo un caso abbastanza frequente, il costo, l'ingombro e le limitazioni in frequenza della soluzione analogica suggeriscono senz'altro la scelta della soluzione digitale, anche se un poco meno efficiente nel sopprimere le componenti del disturbo che inquinano i segnali.

I correlatori analogici sono in effetti costosi ed ingombranti in termini di hardware e richiedono accurate messe a punto; nelle versioni software richiedono complicate interfacce verso il calcolatore e lunghi tempi di macchina per l'elaborazione dei segnali di ingresso.

I correlatori digitali invece sono meno costosi, poco ingombranti e non necessitano di messe a punto particolari.

2.2 STRUTTURA DEL CORRELATORE ANALOGICO.

Un correlatore analogico è costituito essenzialmente da tre unità così come è mostrato in figura 2.1.

Agli ingressi del correlatore sono applicate le grandezze $f_1(t)$ ed $f_2(t)$ nel caso di correlazione incrociata; o su entrambi gli ingressi la grandezza $f(t)$ nel caso di autocorrelazione.

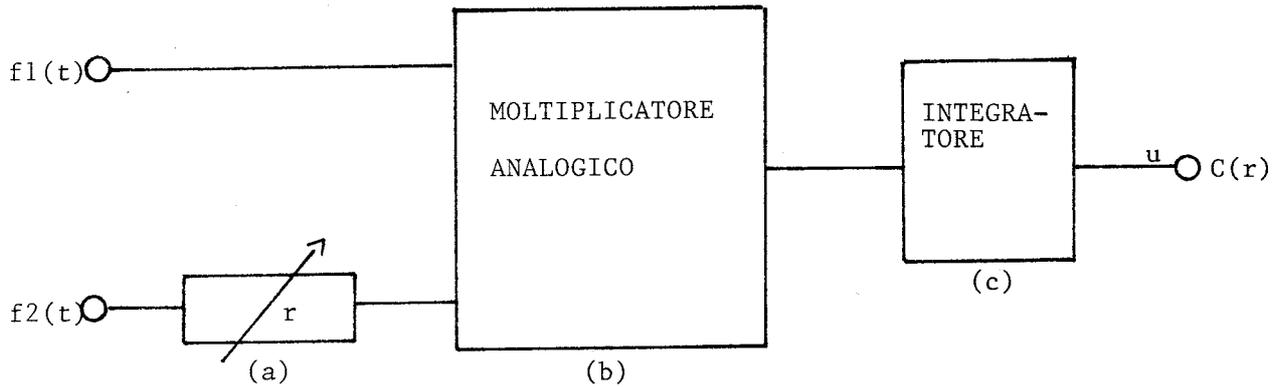


Figura 2.1 Schema a blocchi del correlatore analogico

L'unità (a) racchiude il dispositivo per il ritardo temporale del segnale $f_2(t)$; il ritardo r che viene introdotto è variabile a passi discreti dall'operatore che effettua la misura o da un sistema automatico all'uopo predisposto.

L'unità (b) costituisce il primo elemento di calcolo che esegue automaticamente il prodotto di $f_1(t)$, per $f_2(t)$ ritardata del tempo r .

L'unità (c) è l'elemento aritmetico che esegue le somme dei prodotti in uscita dal moltiplicatore.

L'insieme di queste tre unità risolve l'integrale :

$$C(r)_{1,2} = (1/T_0) \int_0^{T_0} f_1(t) \times f_2(t+r) dt$$

Infatti il significato dell'algoritmo ora indicato ci dice che la $C(r)_{1,2}$ si ottiene eseguendo un numero infinito di prodotti seguito da un corrispondente numero di somme nell'intervallo di tempo T_0 ; cioè:

$$f_1(t_0) \cdot f_2(t_0+r) + f_1(t_1) \cdot f_2(t_1+r) + f_1(t_2) \cdot f_2(t_2+r) + \dots$$

dove t_0, t_1, t_2, \dots rappresentano i successivi tempi incrementati di quantità infinitesime nell'arco di tempo T_0 che definisce i limiti dell'integrale stesso; tutto ciò ripetuto per ogni passo discreto di r .

2.2.1 L'UNITÀ DI RITARDO ANALOGICA

L'unità di ritardo analogica per la variazione discreta del valore di r è costituita da un insieme di cellule a componenti passivi per le soluzioni hardware o da un blocco di memorie per le soluzioni software.

Descriveremo perciò in dettaglio soltanto le strutture hardware, dato che la gestione di un banco di memorie in un calcolatore è cosa ordinaria per chi lo usa normalmente (analizzeremo in un paragrafo separato i problemi connessi al software).

Le cellule di ritardo, le cui strutture elementari sono mostrate in figura 2.2 , possono essere di due tipi; il tipo (a) detto a K costante e il tipo (b) detto ad m derivato.

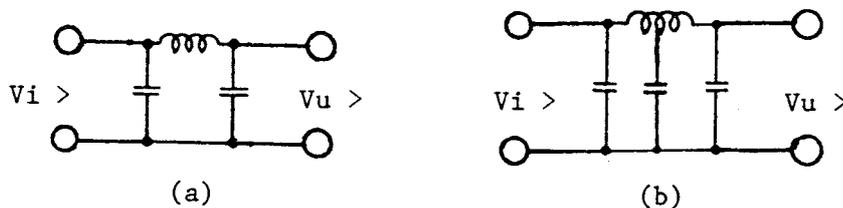


Figura 2.2 Cellule elementari per catene di ritardo

Nella realizzazione dei correlatori si devono impiegare numerose cellule dei tipi indicati, collegate in serie, in modo da realizzare il massimo valore voluto del ritardo con la desiderata definizione di passo r tra un ritardo e il successivo.

Le cellule così impiegate, dette in catena di ritardo, sono mostrate, nel caso di K costante, in figura 2.3.

Questa struttura obbliga a raddoppiare il valore della capacità nei punti di connessione tra cellule contigue, ciò allo scopo di mantenere il corretto adattamento di impedenza tra i quadripoli in base alle caratteristiche calcolate.

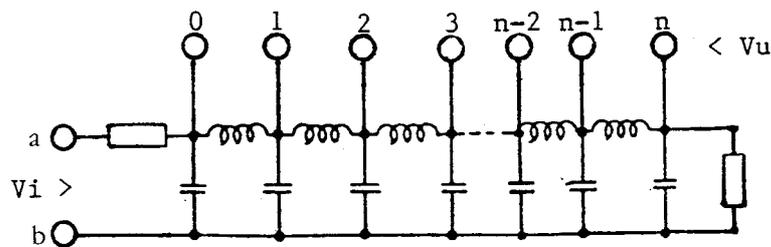


Figura 2.3 Catena di ritardo a K costante

Il segnale $f_2(t)$, applicato tra i terminali (a) e (b) è disponibile alla presa 0, il segnale $f_2(t+r)$ è disponibile alla presa 1, il segnale $f_2(t+2r)$ è disponibile alla presa 2 e così via fino al massimo ritardo alla presa n in cui si ha il segnale $f_2(t+nr)$.

La scelta del tipo di cellula è dipendente dal tipo del segnale da applicare al correlatore; si possono impiegare cellule a K costante, che hanno una struttura semplice, quando il segnale stesso $f(t)$ è ad una sola frequenza od è definito in una banda di frequenze molto stretta, dell'ordine del $\pm 10\%$ rispetto alla frequenza centrale F con la quale si impo-

sta il calcolo della cellula ; se invece il segnale è definito in una banda di frequenze molto ampia è consigliabile l'impiego delle cellule ad m derivato.

La ragione di ciò risiede nel fatto che le cellule a K costante producono un ritardo che è sensibilmente dipendente dalla frequenza di lavoro e quindi nel processo di correlazione si ritardano diversamente le frequenze applicate con conseguente distorsione delle $C(r)$.

Le cellule ad m derivato possono avere invece una sensibile indipendenza del ritardo dalla frequenza di lavoro e perciò meglio si adattano ai casi in cui la banda delle frequenze applicate è molto ampia.

Per il calcolo degli elementi passivi che costituiscono le singole cellule di ritardo ci limiteremo a riportare alcune formule tra le più comuni, rimandando il lettore interessato a tutta la teoria sull'argomento al testo di G. Potier citato nel Rif.bibliografico n.6.

2.2.1.1. Esempio di calcolo di una catena di ritardo analogica a K costante.

Per il calcolo della catena assumiamo i seguenti dati:

Ritardo totale dalla catena $n_r = 500$ microsecondi

Ritardo elementare per una cellula $r = 20$ microsecondi

Frequenza centrale della banda di lavoro $F = 9500$ Hz

Banda di lavoro $F_1=9000$ Hz ; $F_2=10500$ Hz (inferiore al 10% di F)

Resistenza di chiusura della catena $R = 1000$ ohm

Lo schema della cellula è riportato nella seguente figura 2.4.

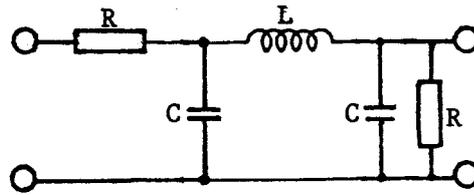


Figura 2.4 Cellula di ritardo a K costante

I valori dei componenti si calcolano secondo le seguenti formule:

$$C = r_0 / (2 Z_0) \quad L = r_0 Z_0$$

$$\text{dove } r_0 = 1 / (3.1416 F_c) \quad Z_0 = R \sqrt{1 - (F/F_c)^2}$$

$$\text{in cui } F_c = \frac{F}{\text{Sen}(3.1416 r F)} \quad 2.1)$$

In base alle 2.1) e ai dati assunti calcoliamo gli elementi della catena di ritardo:

$$F_c = \frac{9500 \text{ Hz}}{\text{Sen}(3.1416 \times 20 \times 10^{-6} \times 9500 \text{ Hz})} = 16901.4 \text{ Hz}$$

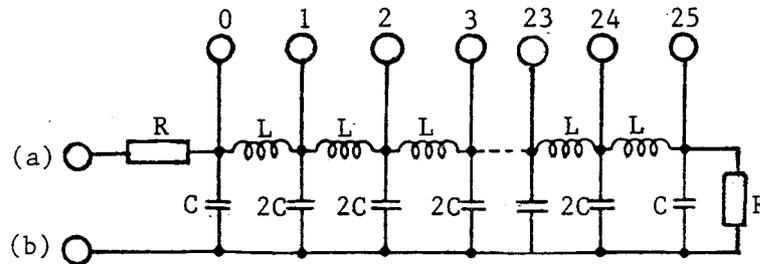
$$Z_0 = 1000 \text{ ohm} \times \sqrt{1 - \left(\frac{9500 \text{ Hz}}{16901.4 \text{ Hz}}\right)^2} = 827 \text{ ohm}$$

$$r_0 = \frac{1}{3.1416 \times 16901.4 \text{ Hz}} = 18.83 \text{ microsecondi}$$

$$C = r_0 / (2Z_0) = \frac{18.83 \times 10^{-6}}{2 \times 827 \text{ ohm}} = 0.01138 \text{ microfarad}$$

$$L = r_0 \times Z_0 = 18.83 \times 10^{-6} \times 827 \text{ ohm} = 15.57 \text{ milliHenri}$$

Dato che la catena prevede un ritardo totale di 500 microsecondi si dovranno impiegare 25 cellule collegate in serie con l'accortezza di raddoppiare il valore di C calcolato nel punto di connessione tra una cellula e la successiva, così come indicato in figura 2.5



$$C = 11380 \text{ pF} \quad 2C = 22760 \text{ pF} \quad L = 15,57 \text{ mH} \quad R = 1000 \text{ ohm}$$

Figura 2.5 Catena di ritardo a K costante dimensionata

Questo tipo di struttura per funzionare correttamente deve ricevere il segnale $f_2(t)$ tra i punti (a) e (b), tramite un generatore di tensione (amplificatore operazionale) che abbia una impedenza d'uscita inferiore di almeno 1/100 del valore di R.

Per questa configurazione della catena di ritardo si deve osservare che l'ampiezza della $f_2(t)$ nelle prese intermedie è 1/2 dell'ampiezza d'ingresso e di ciò si deve tenere conto nella impostazione completa del correlatore.

2.2.1.2 Esempio di calcolo di una catena di ritardo analogica ad m derivato

Per la realizzazione di questo tipo di catena è necessario disporre oltre alle cellule di ritardo di due cellule speciali di terminazione della catena (LS;CI) così come indicato in figura 2.6.

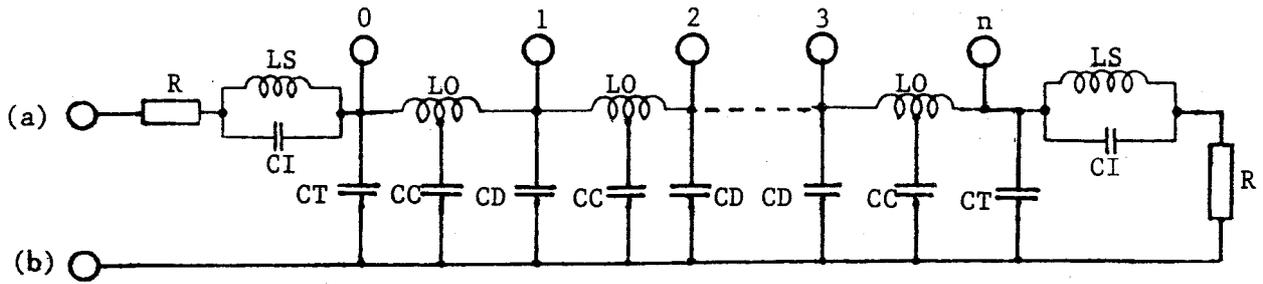


Figura 2.6 Catena di ritardo ad m derivato

Le formule che definiscono i componenti e le caratteristiche della catena sono le seguenti :

$$CI = \frac{1 - 0.64^2}{2 \times 0.64} CK \quad 2.2)$$

$$CD = \frac{CO}{1.62562}$$

$$CT = \frac{0.64 \times CK}{2} + \frac{CD}{2}$$

$$CC = CO \times \frac{0.62562}{1.62562}$$

$$LS = \frac{0.64 \times LK}{2}$$

$$LO = r \times R \quad (LO \text{ è l'induttanza globale della bobina che ha una presa al centro collegata a } CC)$$

$$\text{Sfas.Cell. a FL} = 2 \text{ Arctang} \frac{1.275}{\sqrt{\left(\frac{1.275}{3.1416 \times r \times FL}\right)^2 - 1}}$$

$$FC = \frac{1.275}{3.1416 \times r}$$

$$\text{dove } CK = \frac{r}{1.275 \times R}; \quad CO = r/R; \quad LK = \frac{R \times r}{1.275}$$

in cui r è il ritardo voluto, R è la resistenza di chiusura stabilita per la catena e FL è la massima frequenza di lavoro.

Il calcolo della catena di ritardo ad m derivato è facilmente eseguibile mediante l'impiego del seguente programma in BASIC che consente la determinazione dei diversi valori dei componenti partendo, per ovvia comodità, dal valore del tipo di capacità disponibile che più è impiegato nella catena stessa cioè CD .

```

10 REM Calcolo catene di rit. a m deriv. (partenza da CD disponibile)
20 REM ritardo in microsecondi r=T
30 INPUT "T in microsec."; T
40 INPUT "CD in pf"; CD
50 INPUT "FL (freq. di lavoro)"; FL
60 CO = 1.62562 * CD
70 R = (T * (10 ^ - 6)) / (CO * 10 ^ - 12)
80 LO = R * T * (10 ^ -6)
90 CC= CO * (.62562/1.62562)
100 FC = 1.275/(3.14 * T * (10 ^ -6))
110 LK = R/(3.14 * FC)
120 CK = 10 ^ 12/(3.14 * FC * R)
130 LS = .64 * LK/2
140 CI = 2 * ((1-(.64 ^ 2))/(4 * .64)) * CK
150 CP = .64 * CK/2
160 CT = (CD/2) + CP
170 FA= 2 * (180/3.14) * ATN (1.275/(SQR(((1.275 * 10 ^ 6/(3.14 * FL *
T)) ^ 2-1)))
180 PRINT "R (ohm) = "; R
190 PRINT "LO (Henry) = "; LO
200 PRINT "LS (Henry)= "; LS
210 PRINT "CI (pf) = " ; CI
220 PRINT "CC (pf)="; CC
230 PRINT "CT (pf) = "; CT
240 PRINT "Sfas.cel.a FL (gradi) = "; FA
250 PRINT " FC (Hz) = "; FC

```

Un primo esempio numerico chiarirà il procedimento : Sia da dimensionare una catena di ritardo ad m derivato avente le seguenti caratteristiche ;

[] Ritardo richiesto per cellula: $r = 5$ microsecondi

[] Capacità disponibile CD = 7500 pf

[] Frequenza più elevata della banda di lavoro FL = 25000 Hz.

L'esecuzione del programma ci dà:

RUN

T in microsec.? 5

CD in p f ? 7500

FL (freq. di lavoro)? 25000

R(ohm) = 410.0999

LO(Henry) = 2.050499E-03

LS(Henry)=5.146353E-04

CI(pf) = 4410.691

CC(pf) = 4692.15

CT (pf)=6809.991

Sfas.cel.a FL (gradi) = 44.85835

FC (Hz) = 81210.18

OK

Come si può vedere il calcolo fornisce, oltre ai valori dei componenti, anche i valori di Sfas.Cell. ed FC che sono necessari per la validazione di catena di ritardo:

Sfas. cel a FL (gradi) = 44.85835

FC = 81210.18 Hz

Il primo valore indica l'entità dello sfasamento della singola cellula che, per sfruttare al meglio la costanza del ritardo al variare della frequenza, è necessario che sia inferiore o al massimo uguale a 45° alla più

elevata frequenza FL della banda di lavoro; ciò è verificato per il nostro esempio.

Il secondo valore $FC=81210.18$ Hz indica la frequenza di taglio di ciascuna cellula che deve essere almeno 1.5^4 volte il valore della frequenza massima a cui si vuol fare lavorare la cellula; in questo caso $FC/FL = 3.25$ e la condizione è ampiamente rispettata.

Un altro esempio numerico è utile per comprendere meglio come devono giocare le variabili per il calcolo di questo tipo di catena di ritardo:

Supponiamo che sia necessaria una catena di ritardo ad m derivato con le seguenti caratteristiche:

[] Ritardo richiesto per cellula: $r = 17$ microsecondi

[] Frequenza più elevata della banda di lavoro : $FL= 15000$ Hz

[] Capacità disponibile ; $CD = 5000$ pf.

l'esecuzione del programma ci da:

RUN

T in microsec.? 17

CD in pf ? 5000

FL(freq. di lavoro)? 15000

R(ohm) = 2091.51

LO(Henry) = 3.555567E-02

LS(Henry) = 8.923774E-03

CI(pf) = 2940.46

CC(pf) = 3128.1

CT(pf) = 4539.994

Sfas.cel.a FL (gradi) = 91.67837

FC(Hz) = 23885.35

Ok

Come si vede il calcolo indica che alla frequenza più elevata della banda di lavoro lo sfasamento per ciascuna cellula è di ben 91.67° che, essendo molto maggiore dei 45° stabiliti, ci dice che il ritardo della cellula a quella frequenza non è più indipendente dalla frequenza stessa.

Il valore di $FC = 23885.35$ invece, non essendo molto vicino a $FL = 15000$, è tale che $FC/FL = 1.59$, perciò la cellula può ancora lavorare a quella frequenza.

Naturalmente esiste una soluzione al problema della riduzione della variabilità di r con la frequenza, ricorrendo all'impiego di 2 cellule invece che di una per ottenere il ritardo di 17 microsecondi voluto; infatti con questa nuova impostazione si ha:

[] Ritardo richiesto per cellula; $r = 17/2 = 8.5$ microsecondi

[] Frequenza più elevata di lavoro; $FL = 15000$ Hz

[] Capacità disponibile; $CD = 5000$ pf

L'esecuzione del programma ci dà:

RUN

T in microsec ? 8.5

CD in pf ? 5000

FL(freq. di lavoro)? 15000

R(ohm) = 1045.755

LO(Henry) = 8 888916E-03

LS(Henry) = 2.230944E-03

CI(pf) = 2940.46

CC(pf) = 3128.1

CT(pf) = 4539.994

Sfas.cel.a.FL (gradi) = 45.75128

FC(Hz) = 47770.7

Ok

Dove lo sfasamento per cellula ora è 45.75128° che si può ritenere un valore accettabile e il rapporto FC/FL è aumentato a 3.18.

Nelle catene ad m derivato strutturate come in figura 2.6 è necessario che il generatore di tensione (amplificatore operativo) abbia una impedenza di circa 1/100 di R.

E' necessario, anche per questo tipo di catena, tenere presente che l'ampiezza delle $f_2(t)$ presente sulle varie prese è attenuata di 0.5 volte rispetto alla $f_2(t)$ di ingresso.

2.2.1.3 Osservazioni sulla costruzione delle catene di ritardo

Tre osservazioni importanti devono essere fatte sulla costruzione delle catene di ritardo:

A) Le catene di ritardo, sia a K costante che ad m derivato, sono facilmente costruibili in laboratorio per una ampia gamma di frequenze; per realizzare però catene di ritardo per frequenze superiori a 100 KHz è richiesta molta esperienza, dato che i valori di L e C sono generalmente molto piccoli e diversi fattori ne possono alterare le grandezze, modificando completamente il regolare comportamento delle catene stesse.

B) Per il regolare funzionamento delle catene di ritardo è indispensabile che i valori di L, C, R, siano molto precisi, entro +/- 1 % del valore nominale, per evitare l'insorgere di onde stazionarie lungo le catene, che provocano sia modificazioni di ampiezza del segnale sia alterazione dei ritardi calcolati.

C) E' consigliabile non fare scorrere corrente continua attraverso le cellule delle catene di ritardo; qualora situazioni circuitali lo impongano è necessario verificare, in base alle caratteristiche degli induttori,

che l'entità della corrente continua non alteri il valore dell'induttanza stessa.

D) Le catene di ritardo, sia a K costante che ad m derivato, data la loro struttura circuitale, si comportano come dei filtri passa basso che, dalla frequenza di taglio in poi, attenuano molto marcatamente i segnali applicati; infatti sono impiegate come elementi di ritardo soltanto per frequenze sensibilmente inferiori alla frequenza di taglio FC , non soltanto perchè in tali condizioni il ritardo stesso è poco influenzato dalla banda dei segnali, ma anche perchè diversamente non sarebbe accettabile la forte attenuazione da esse provocata.

E implicito perciò che le bande naturali dei segnali $f(t)$ applicati alle catene di ritardo vengano automaticamente limitate dalla frequenza di taglio delle catene stesse.

Al di là cioè delle distorsioni delle $C(r)$ dovute alla variabilità di r con la frequenza, non è possibile determinare i legami di interdipendenza tra le $f(t)$ per valori della banda dei segnali che si avvicinano troppo alla frequenza di taglio di questi dispositivi.

2.2.2 - L'UNITÀ DI MOLTIPLICAZIONE

L'unità di moltiplicazione può essere realizzata con diversi componenti in commercio se hardware e mediante normali routine di calcolo se software.

Prenderemo come esempio pratico di unità di moltiplicazione, che si presta facilmente ad essere poi montata su qualsiasi piastra a circuito stampato, il dispositivo MPY 634 BM della BURR-BROWN le cui caratteristiche principali sono qui di seguito riportate.

Il dispositivo garantisce una precisione di moltiplicazione dell'ordine del $\pm 0,5\%$ nei quattro quadranti e può lavorare fino a frequenze dell'ordine di 10 MHz.

Il moltiplicatore necessita di alimentazione stabilizzata di +/- 15 v e non richiede trimmer di pretaratura.

2.2.2.1 Dettagli circuitali del moltiplicatore

La configurazione circuitale che meglio si adatta ai nostri scopi è mostrata nella figura 2.7:

MPY 634 - BM (TO - 100)

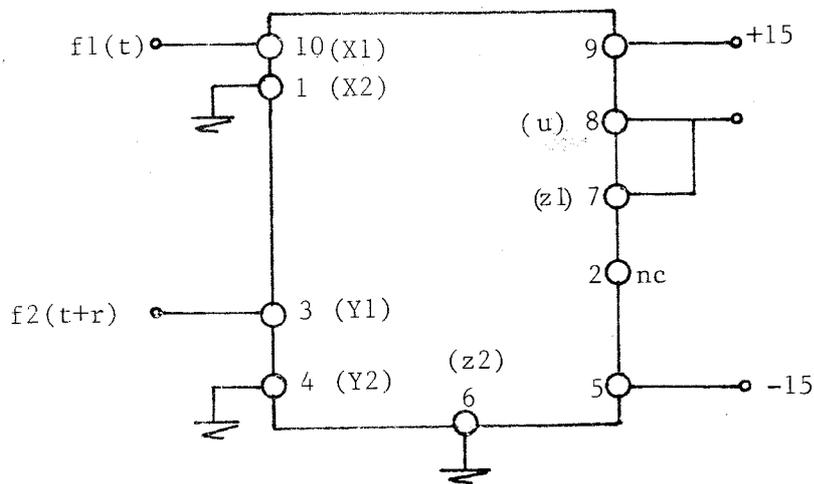
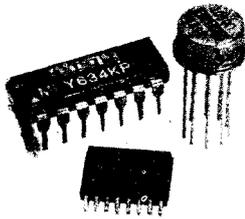


Figura 2.7 Moltiplicatore analogico



MPY634

Wide Bandwidth PRECISION ANALOG MULTIPLIER

FEATURES

- WIDE BANDWIDTH: 10MHz typ
- ±0.5% MAX FOUR-QUADRANT ERROR
- INTERNAL WIDE-BANDWIDTH OP AMP
- EASY TO USE
- LOW COST
- ENHANCED RELIABILITY SCREENING AVAILABLE

APPLICATIONS

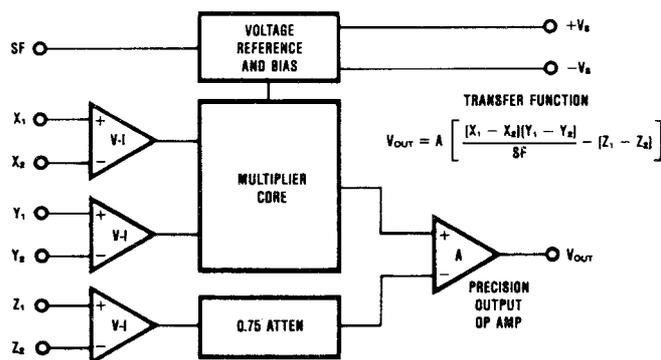
- PRECISION ANALOG SIGNAL PROCESSING
- MODULATION AND DEMODULATION
- VOLTAGE-CONTROLLED AMPLIFIERS
- VIDEO SIGNAL PROCESSING
- VOLTAGE-CONTROLLED FILTERS AND OSCILLATORS

DESCRIPTION

The MPY634 is a wide bandwidth, high accuracy, four-quadrant analog multiplier. Its accurately laser-trimmed multiplier characteristics make it easy to use in a wide variety of applications with a minimum of external parts, often eliminating all external trimming. Its differential X, Y, and Z inputs allow configuration as a multiplier, squarer, divider, square-rooter, and other functions while maintaining high accuracy.

The wide bandwidth of this new design allows signal processing at I.F., R.F., and video frequencies. The internal output amplifier of the MPY634 reduces design complexity compared to other high frequency multipliers and balanced modulator circuits. It is capable of performing frequency mixing, balanced modulation, and demodulation with excellent carrier rejection.

An accurate internal voltage reference provides precise setting of the scale factor. The differential Z input allows user-selected scale factors from 0.1 to 10 using external feedback resistors.



SPECIFICATIONS

ELECTRICAL

At $T_A = +25^\circ\text{C}$ and $V_B = \pm 15\text{VDC}$ unless otherwise specified.

MODEL	MPY634KP/KU			MPY634AM			MPY634BM			MPY634SM			UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
MULTIPLIER PERFORMANCE													
Transfer Function		*		$\frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} + Z_2$				*			*		
Total Error ⁽¹⁾ ($-10V \leq X, Y \leq +10V$)			±2.0			±1.0			±0.5			*	%
$T_A = \text{min to max}$		±2.5			±1.5			±1.0				±2.0	%
Total Error vs Temperature		±0.03			±0.022			±0.015				±0.02	%/°C
Scale Factor Error (SF = 10.000V Nominal) ⁽²⁾		±0.25			±0.1			*			*		%
Temperature Coefficient of Scaling Voltage		±0.02			±0.01			±0.01			*		%/°C
Supply Rejection ($\pm 15V \pm 1V$)		*			±0.01			*			*		%
Nonlinearity													
X ($X = 20V_{p-p}, Y = 10V$)		*			±0.4			0.2	±0.3		*		%
Y ($Y = 20V_{p-p}, X = 10V$)		*			±0.01			*	±0.1		*		%
Feedthrough ⁽³⁾													
X (Y Nulled, $Y = 20V_{p-p}, 50\text{Hz}$)		±0.3			±0.3			±0.15	±0.3		*		%
Y (X Nulled, $Y = 20V_{p-p}, 50\text{Hz}$)		*			±0.01			*	±0.1		*		%
Both Inputs (500kHz, 1V rms)													
Unnulled	40 ⁽⁴⁾	50		45	55		*	60		*	*		dB
Nulled	55 ⁽⁴⁾	60		55	65		60	70		*	*		dB
Output Offset Voltage		±50	±100		±5	±30		*	±15		*	*	mV
Output Offset Voltage Drift		*			±200			±100			*	±500	µV/°C
DYNAMICS													
Small Signal BW, ($V_{OUT} = 0.1V_{rms}$)	6 ⁽⁴⁾	*		8	10		*	*		6	*		MHz
1% Amplitude Error ($C_{LOAD} = 1000pF$)		*			100			*			*		kHz
Slew Rate ($V_{OUT} = 20V_{p-p}$)		*			20			*			*		V/µs
Settling Time (to 1%, $\Delta V_{OUT} = 20V$)		*			2			*			*		µs
NOISE													
Noise Spectral Density: SF = 10V		*			0.8			*			*		µV/√Hz
Wideband Noise: f = 10Hz to 5MHz		*			1			*			*		mVrms
f = 10Hz to 10kHz		*			90			*			*		µVrms
OUTPUT													
Output Voltage Swing	*			±11			*			*			V
Output Impedance ($f \leq 1\text{kHz}$)		*			0.1			*			*		Ω
Output Short Circuit Current ($R_L = 0, T_A = \text{min to max}$)		*			30			*			*		mA
Amplifier Open Loop Gain ($f = 50\text{Hz}$)		*			85			*			*		dB
INPUT AMPLIFIERS (X, Y and Z)													
Input Voltage Range													
Differential V_{IN} ($V_{CM} = 0$)		*			±12			*			*		V
Common-Mode V_{IN} ($V_{DIFF} = 0$) (see Typical Performance Curves)		*			±10			*			*		V
Offset Voltage X, Y		±25	±100		±5	±20		±2	±10		*	*	mV
Offset Voltage Drift X, Y		200			100			50			*	*	µV/°C
Offset Voltage Z		±25	±100		±5	±30		±2	±15		*	*	mV
Offset Voltage Drift Z		*			200			100			*	500	µV/°C
CMRR	*	*		60	80		70	90		*	*	*	dB
Bias Current		*	*		0.8	2.0		*	*		*	*	µA
Offset Current		*	*		0.1			*	*		*	2.0	µA
Differential Resistance		*			10			*			*		MΩ
DIVIDER PERFORMANCE													
Transfer Function ($X_1 > X_2$)		*		$10V \frac{(Z_2 - Z_1)}{(X_1 - X_2)} + Y_1$				*			*		
Total Error ⁽¹⁾ untrimmed ($X = 10V, -10V \leq Z \leq +10V$)		1.5			±0.75			±0.35			±0.75		%
($X = 1V, -1V \leq Z \leq +1V$)		4.0			±2.0			±1.0			*		%
($0.1V \leq X \leq 10V, -10V \leq Z \leq 10V$)		5.0			±2.5			±1.0			*		%

ELECTRICAL (CONT)

At $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{VDC}$ unless otherwise specified.

MODEL	MPY634KP/KU			MPY634AM			MPY634BM			MPY634SM			UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SQUARE PERFORMANCE													
Transfer Function		*				$(X_1 - X_2)^2 + Z_2$		*			*		
Total Error ($-10\text{V} \leq X \leq 10\text{V}$)		± 1.2				± 0.6		± 0.3			*		%
SQUARE-ROOTER PERFORMANCE													
Transfer Function ($Z_1 \leq Z_2$)		*				$\sqrt{10\text{V}(Z_2 - Z_1)} + X_2$		*			*		%
Total Error ⁽¹⁾ ($1\text{V} \leq Z \leq 10\text{V}$)		± 2.0				± 1.0		± 0.5			*		
POWER SUPPLY													
Supply Voltage:													VDC
Rated Performance		*				± 15		*			*		VDC
Operating	*	*	*	± 8		± 18	*	*	*	*	*	± 20	VDC
Supply Current, Quiescent		*	*		4	6		*	*	*	*	*	mA
TEMPERATURE RANGE													
Specification	⁽⁵⁾		⁽⁵⁾	-25		+85	*	*	*	-55		+125	$^\circ\text{C}$
Storage	-40		+85	-65		+150	*	*	*	*	*	*	$^\circ\text{C}$

*Specification same as for MPY634AM.

NOTES: (1) Figures given are percent of full scale, $\pm 10\text{V}$ (i.e., $0.01\% = 1\text{mV}$). (2) May be reduced to 3V using external resistor between $-V_S$ and SF. (3) Irreducible component due to nonlinearity; excludes effect of offsets. (4) KP grade only. (5) KP grade only. 0°C to $+70^\circ\text{C}$ for KU grade.

MECHANICAL

PLASTIC DUAL-IN-LINE

Denotes Pin 1

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.680	.785	18.76	19.94
B	.220	.280	5.59	7.11
C	—	.200	—	5.08
D	.015	.023	0.38	0.58
F	.030	.070	0.76	1.78
G	.100 BASIC		2.54 BASIC	
H	.030	.095		
J	.008	.015	0.20	0.38
K	.100	—	2.54	—
L	.300 BASIC		7.62 BASIC	
M	—	15°	—	15°
N	.020	.050	0.51	1.27

NOTE: Leads in true position within $0.010''$ (0.25mm) R at MMC at seating plane.

METAL TO-100

NOTE: Leads in true position within $0.01''$ (0.25mm) R at MMC at seating plane.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.335	.370	8.51	9.40
B	.305	.335	7.75	8.51
C	.165	.185	4.19	4.70
D	.018	.021	0.41	0.53
E	.010	.040	0.25	1.02
F	.010	.040	0.25	1.02
G	.230 BASIC		5.84 BASIC	
H	.028	.034	0.71	0.86
J	.029	.045	0.74	1.14
K	.500	—	12.70	—
L	.120	.160	3.05	4.06
M	36° BASIC		36° BASIC	
N	.110	.120	2.79	3.05

SMALL OUTLINE SURFACE MOUNT

Pin 1 Identifier

Pin 1

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.400	.416	10.16	10.57
A ₁	.388	.412	9.86	10.46
B	.286	.302	7.26	7.67
B ₁	.268	.286	6.81	7.26
C	.093	.108	2.36	2.77
D	.015	.020	0.38	0.51
G	.050 BASIC		1.27 BASIC	
H	.022	.036	0.56	0.97
J	.008	.012	0.20	0.30
L	.381	.421	9.63	10.69
M	5° TYP		5° TYP	
N	.000	.012	0.00	0.30

NOTE: Leads in true position within $0.010''$ (0.25mm) R at MMC at seating plane.

ABSOLUTE MAXIMUM RATINGS

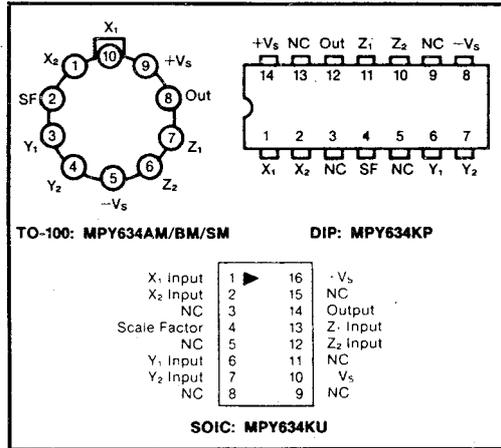
Parameter	MPY634AM/BM	MPY634KP/KU	MPY634SM
Power Supply Voltage	± 18	*	± 20
Power Dissipation	500mW	*	*
Output Short-Circuit to Ground	Indefinite	*	*
Input Voltage (all X, Y and Z)	$\pm V_S$	*	*
Temperature Range:			
Operating	$-25/+85^\circ\text{C}$	*	$-55/+125^\circ\text{C}$
Storage	$-65/+150^\circ\text{C}$	$-40/+85^\circ\text{C}$	*
Lead Temperature (10s soldering)	$+300^\circ\text{C}$	*	*
SOIC 'KU' Package		$+260^\circ\text{C}$	

* Specification same as for MPY634AM/BM.

ORDERING INFORMATION

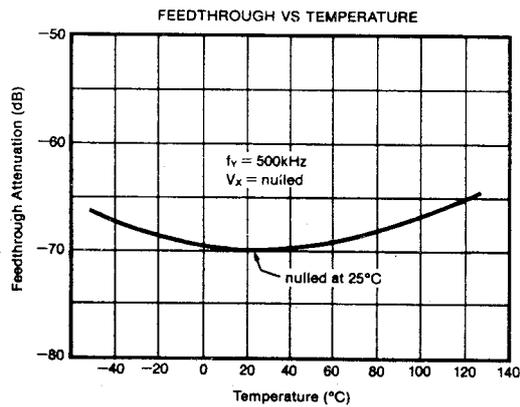
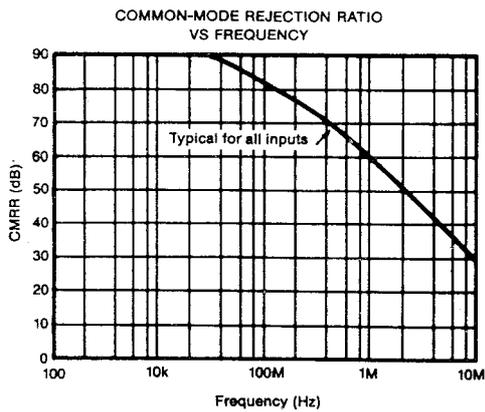
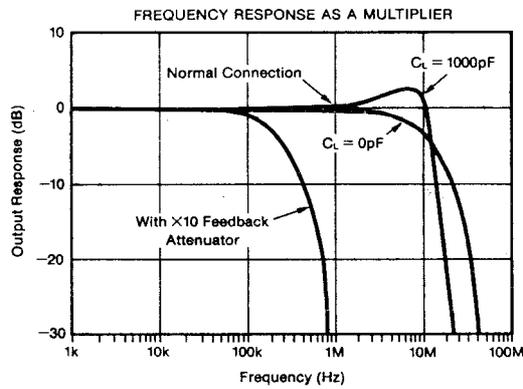
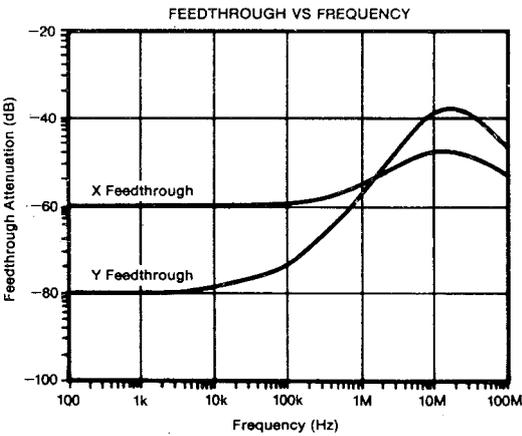
Basic Model Number	MPY634	()	()	(/QM)
Performance Grade	K: -25°C to +85°C ('U' package 0°C to +70°C) ⁽¹⁾			
	A: -25°C to +85°C			
	B: -25°C to +85°C			
	S: -55°C to +125°C			
Package Code				
	M: TO-100 metal			
	P: Plastic 14-pin DIP			
	U: 16-pin SOIC			
	Enhanced reliability screening (/QM option) available on MPY634SM. Contact your Burr-Brown representative for information.			
NOTE:	(1) Performance grade identifier may not be marked. Blank denotes "K" grade.			

PIN CONFIGURATIONS (TOP VIEW)



TYPICAL PERFORMANCE CURVES

T_A = +25°C, V_s = ±15VDC unless otherwise noted.



dove la grandezza $f_1(t)$ è applicata al pin 10 e la grandezza $f_2(t+r)$ è applicata al pin 3; l'uscita del prodotto $f_1(t) \times f_2(t+r)$ è disponibile al pin 8 secondo la seguente espressione:

$$V_u = \frac{f_1(t) \times f_2(t+r)}{10} \quad (\text{caratteristica dello MPY634 BM}) \quad 2.3)$$

Le caratteristiche del moltiplicatore, riportate nelle pagine precedenti indicano che i livelli massimi di ingresso (ai pin 3 e 10) devono essere contenuti entro $\pm 10V$; ciò sta a significare nel nostro caso, che i valori massimi di picco delle grandezze $f_1(t)$ e $f_2(t+r)$ non devono essere superiori a 10 V.

Per fare un semplice esempio applicativo possiamo supporre all'ingresso del moltiplicatore le grandezze $f_1(t) = A \text{ Sen } Wt$ e $f_2(t) = A \text{ Sen } W(t+r)$ già richiamate nel paragrafo 1. 2. 3.

Se supponiamo che A sia = 10 V, così come prescritto per il dispositivo in questione, la tensione di uscita del moltiplicatore, in base alla 2.3), sarà:

$$V_u = \frac{10 \text{ Sen } Wt \times 10 \text{ Sen } W(t+r)}{10} = 10 \text{ Sen } Wt \text{ Sen } W(t+r)$$

Avremo modo di vedere, nel paragrafo seguente, a che livello di tensione massima si perviene in corrispondenza al massimo della $C(r)$, che, come sappiamo, si ha per $r = 0$.

Le caratteristiche di ingresso del moltiplicatore indicano una resistenza differenziale tipica di 10 M ohm che consente il collegamento diretto, a qualsiasi catena di ritardo dato che le impedenze di queste sono generalmente almeno due ordini di grandezza inferiori a tale valore.

La caratteristica di uscita del moltiplicatore indica una resistenza inferiore ad 1 ohm ; ciò consente di collegare all'uscita stessa qualsiasi tipo di circuito integratore senza alterare minimamente il corretto funzionamento dello MPY 634.

2.2.2.2. Osservazioni sul circuito realizzativo del moltiplicatore

Il dispositivo che abbiamo preso ad esempio ha delle ottime caratteristiche funzionali che si estendono fino alla frequenza massima di 10 MHz; naturalmente il montaggio di questo componente non presenta alcun problema per impieghi a frequenze intorno ai 100 KHz. Invece quando il moltiplicatore è impiegato nel campo di frequenze molto superiori a 100 KHz, ed in particolare alle più alte consentite ,deve essere curato attentamente il disegno del circuito stampato onde evitare che i percorsi di alcune piste creino accoppiamenti capacitivi o induttivi tali da provocare interferenze tra i due ingressi o tra gli ingressi e l'uscita, che certamente porterebbero a sensibili distorsioni della $C(r)$ o della $C(r)_{1,2}$; le prime nel caso di autocorrelazione le seconde nel caso di correlazione incrociata.

2.2.3 L'UNITÀ INTEGRATORE PER IL CORRELATORE ANALOGICO

L'unità integratore è la parte più semplice di tutto il correlatore , ma svolge un compito essenziale che, come vedremo, gioca un ruolo determinante in particolari applicazioni dei metodi di correlazione.

Descriviamo nel prosieguo l'integratore hardware dato che dedicheremo un intero paragrafo per tutto il problema relativo allo sviluppo software.

Lo schema del circuito integratore è riportato nella seguente figura 2.8:

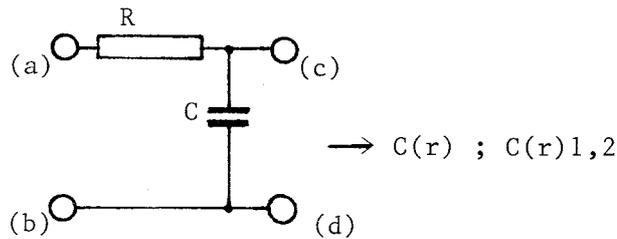


Figura 2.8 Unità integratore

I terminali (a), (b) ricevono la tensione di uscita del moltiplicatore e ai terminali (c),(d) è presente la funzione di correlazione $C(r)$ o di correlazione incrociata $C(r)_{1,2}$.

La caratteristica dell'integratore è costituita dalla frequenza di taglio F_t così espressa:

$$F_t = \frac{1}{6.28 R C} \quad 2.4)$$

dove R è in Ohm e C in Farad.

Se ad esempio $R = 1$ Mohm e $C = 1$ microfarad si ha ;

$$F_t = \frac{1}{6.28 \times 10^6 \times 10^{-6}} = 0.159 \text{ Hz}$$

Il compito dell'integratore è duplice:

A) Accumulare in C , mediandoli, i valori della $C(r)$ o $C(r)_{1,2}$ che variano nel tempo a seguito delle variazioni intrinseche delle grandezze $f_1(t)$ e $f_2(t+r)$ e a seguito delle variazioni imposte a r .

B) Eliminare, filtrandole, le componenti spurie dei prodotti $f_1(t) \times f_2(t+r)$.

Sul punto A) ben poco c'è da dire; nella capacità C vengono fatte le somme e le medie dei valori ora positivi, ora negativi delle tensioni al-

l'uscita del moltiplicatore.

Sul punto B) invece si devono fare alcune importanti considerazioni; per far ciò ci rifaremo ancora una volta per semplicità, alle grandezze $f_1(t)=A \text{ Sen } Wt$ e $f_2(t)=A \text{ Sen } W(t+r)$.

Le grandezze in questione si presentano, all'uscita del moltiplicatore nella forma:

$$V_u = \frac{A \text{ Sen } Wt \times A \text{ Sen } W(t+r)}{10}$$

10

se supponiamo ancora $A = 10$ e sviluppiamo il prodotto secondo le note formule trigonometriche otteniamo:

$$\begin{aligned} V_u &= 10 \left\{ (1/2) \text{ Cos}[Wt-W(t+r)] + (1/2) \text{ Cos}[Wt+W(t+r)] \right\} = \\ &= 10 \left\{ [(1/2) \text{ Cos } Wr] - [(1/2) \text{ Cos } (2Wt+Wr)] \right\} = \\ &= 5 \text{ Cos } Wr - 5 \text{ Cos } (2Wt+Wr) \end{aligned}$$

questo risultato mette ben in evidenza ciò che esce dal moltiplicatore; un termine $5 \text{ Cos } Wr$ che rappresenta la $C(r)$ voluta e un termine spurio, $5 \text{ Cos } (2Wt+Wr)$, che ha una frequenza doppia rispetto alla frequenza delle grandezze $f_1(t)$ e $f_2(t+r)$ di ingresso.

Questo termine viene filtrato dall'azione dell'integratore dato che generalmente quest'ultimo ha una frequenza di taglio F_t molto piccola rispetto alle frequenze di ingresso.

Il risultato complessivo dell'azione dell'integratore è quindi di presentare alla sua uscita la $C(r)$ e con essa una piccola parte del termine spurio che sarà tanto più attenuato quanto più sarà bassa la frequenza di taglio F_t .

Se le grandezze di ingresso non sono del tipo $f(t)=\text{Sen } Wt$, ma di tipo del tutto diverse, gli sviluppi sopra esposti non cambiano nella so-

stanza; si avrà sempre in uscita dall'integratore la funzione di correlazione $C(r)$ o la funzione di autocorrelazione $C(r)$ ^{1,2}, che compete alle caratteristiche delle grandezze di ingresso, più una tensione spuria, variabile nel tempo in ampiezza e polarità, la cui ampiezza stessa sarà tanto più piccola quanto più bassa sarà la F_t dell'integratore.

La tensione spuria, che come vedremo gioca in modo negativo in molte applicazioni dei metodi di autocorrelazione o correlazione incrociata, va sotto il nome di VARIANZA d'uscita dovuta al segnale.

A questo punto sorge spontanea una domanda: perchè non si dimensionano gli integratori con valori tali da rendere completamente insignificante la varianza?

La risposta al quesito è semplice: riducendo il valore di F_t non si riduce soltanto la varianza, ma si riduce anche la "velocità di assestamento" del correlatore al variare di r ; questo nuovo parametro, a seconda del tipo di applicazione del correlatore, non può essere ridotto a piacere ma è subordinato alla situazione esterna che il correlatore stesso deve controllare.

2.2.4 UN CORRELATORE ANALOGICO COMPLETO

Dopo quanto abbiamo visto delle singole unità del correlatore è utile mostrarne una struttura circuitale completa che potrà servire come indirizzo al progettista per dimensionare questo tipo di dispositivo in base alle proprie esigenze specifiche.

Supponiamo di dover misurare la funzione di autocorrelazione $C(r)$ della grandezza $f(t)$ che andremo ora a definire assieme agli altri parametri necessari allo scopo:

[] $f(t)$ Grandezza elettrica (tensione) funzione del tempo definita in una banda di frequenze compresa tra 10000 e 25000 Hz.

[] Valore massimo di tensione = 5 Vpp

[] Ritardo elementare $r = 5$ microsecondi

[] Numero delle cellule di ritardo $N = 20$

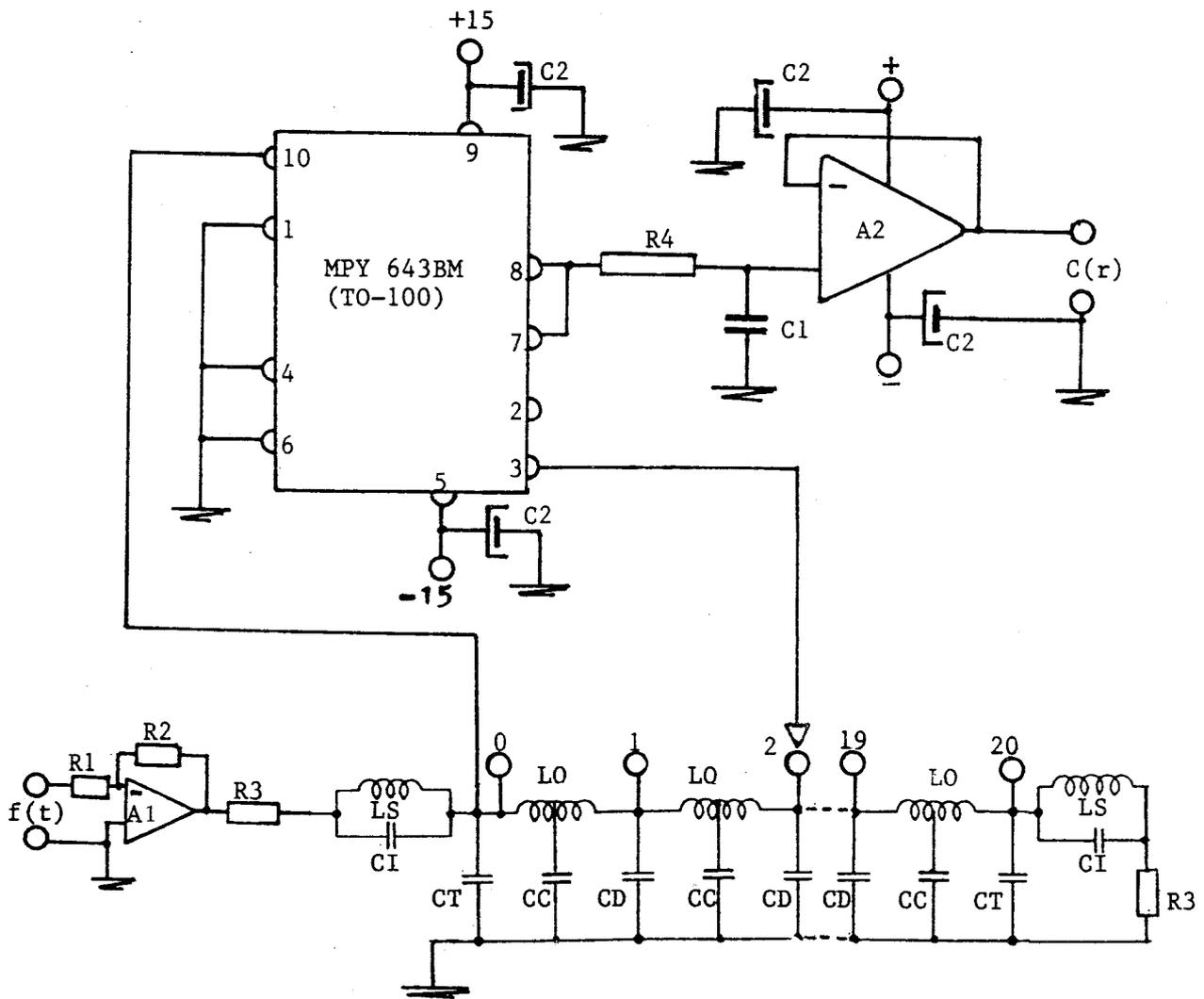
[] Frequenza di taglio integratore $F_t = 1.6$ Hz

Dati gli elementi sopra riportati si può impiegare la catena di ritardo ad m derivato calcolata nel primo esempio del paragrafo 2.2.1.2 e si può utilizzare il moltiplicatore MPY634 secondo lo schema di figura 2.9, in cui all'uscita dell'integratore è stato sistemato un operazionale ad elevata impedenza di ingresso, LM308, per disaccoppiare l'unità integratore dai circuiti o strumenti che vengono collegati al correlatore.

La $C(r)$ si ricaverà per punti discreti spostando il cursore K dalla presa 0 alla presa 20; per ciascun valore del ritardo r introdotto si registrerà il corrispondente valore di $C(r)$ per poi tracciare il grafico della funzione di autocorrelazione raccordando, con tratto a mano, i punti rilevati.

Il correlatore mostrato in figura 2.9 è configurato per autocorrelare il solo segnale $f(t)$ nella banda naturale che lo distingue; banda che necessariamente deve essere ampiamente contenuta entro la frequenza di taglio della catena di ritardo.

Nel correlatore infatti il segnale $f(t)$ è applicato, tramite $A1$, alla catena di ritardo e da essa perviene al moltiplicatore con $f(t)$ prelevata costantemente alla presa 0 e con $f(t+r)$ prelevata di volta in volta, mediante lo spostamento progressivo di K , su tutti i 20 passi di ritardo disponibili. Una volta posizionato il cursore K sulla presa voluta sarà necessario, prima di procedere alla misura di $C(r)$, attendere l'assestamento della tensione ai capi dell'integratore.



A1 = OP07
 A2 = LM 308
 R1 = 100 K ohm
 R2 = 200 K ohm
 R3 = 410 ohm
 R4 = 100 K ohm
 LS = 0.5 mH

LO = 2 mH (con presa centrale)
 CI = 4410 pF
 CT = 6809 pF
 CC = 4692 pF
 CD = 7500 pF
 C1 = 1 micro F. (in policarbonato)
 C2 = 15 micro F. 20 V.c.c.

Figura 2.9 Correlatore analogico

Se invece il correlatore è destinato ad eseguire rilievi di correlazione incrociata tra segnali del tipo $f_1(t)$ e $f_2(t)$ la $C(r)_{1,2}$ si otterrà mediante il circuito di figura 2.10 che si differenzia da quello di figura 2.9 soltanto per la configurazione di ingresso.

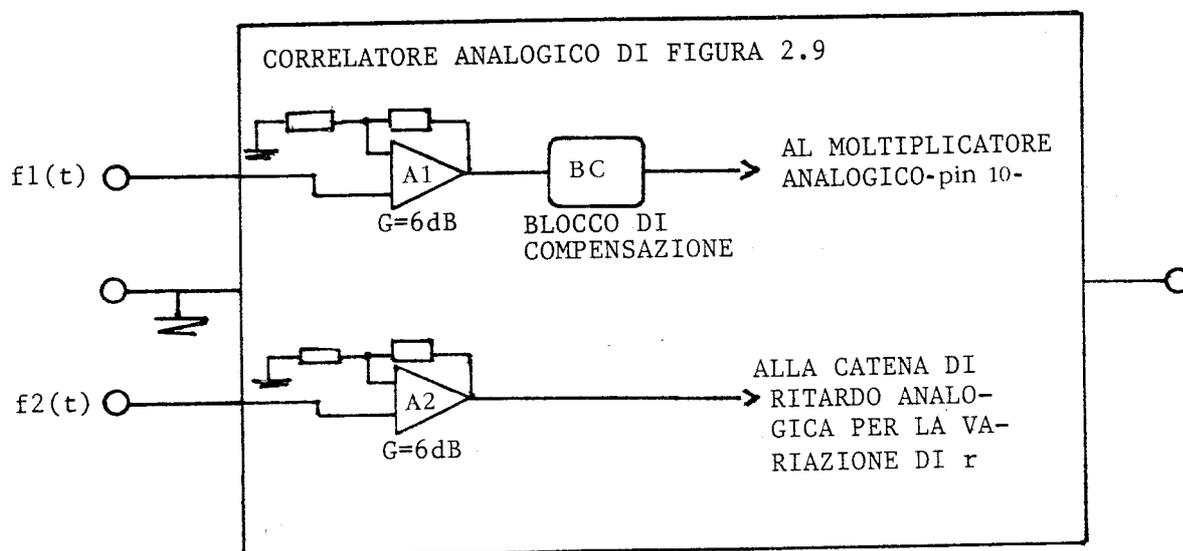


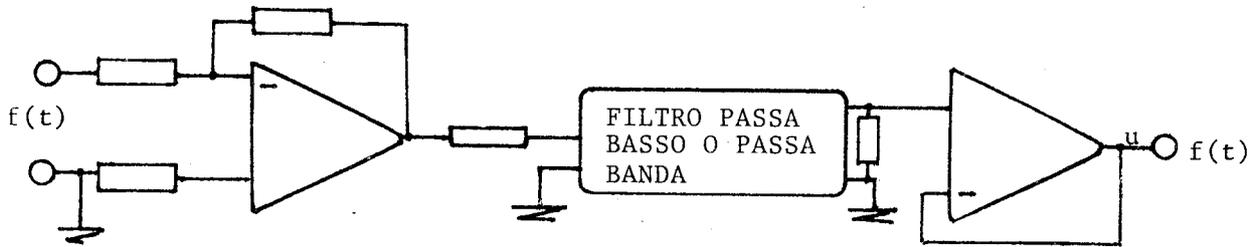
Figura 2.10 Configurazione di ingresso correlatore per rilievo $C(r)_{1,2}$

In questa configurazione $f_2(t)$ è applicata, tramite A2, alla catena di ritardo per subire in essa le traslazioni temporali tipo $f_2(t+r)$, mentre la $f_1(t)$ è applicata tramite A1 ed un blocco di compensazione all'ingresso del moltiplicatore, pin 10. Il blocco di compensazione (BC), formato da una sola cellula di ritardo più le due terminali (LS; CI) è indispensabile per introdurre anche su $f_1(t)$ lo stesso ritardo che la prima cellula terminale della catena di ritardo introduce su $f_2(t)$ per $r=0$. In questo modo si consente la misura di $C(r=0)$.

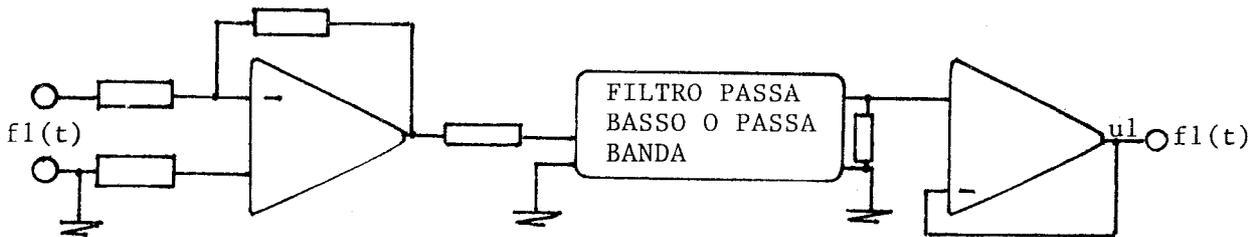
Nel caso molto frequente in cui debbano essere valutate le $C(r)$ o le $C(r)_{1,2}$ per segnali del tipo $f(t)$ o $f_1(t); f_2(t)$ definiti in bande diverse da quelle naturali i circuiti di figura 2.9 e 2.10 dovranno essere preceduti da filtri adatti per la selezione delle bande piazzate nel modo più opportuno nell'ambito degli spettri delle frequenze naturali; in questo caso si

potranno avere le configurazioni di ingresso dei correlatori mostrate nella figura 2.11.

Per il progetto dei filtri di precorrelazione si rimanda il lettore al capitolo 7 ad essi dedicato.



LA $f(t)$ all'uscita (u) E' PER L'INGRESSO DEL CORRELATORE DI FIGURA 2.9



LA $f_1(t)$ e la $f_2(t)$ PRESENTI RISPETTIVAMENTE SU u_1 ED u_2 SONO PER GLI INGRESSI DEL CORRELATORE DI FIGURA 2.10

Figura 2.11 Sistemazione dei filtri di precorrelazione

2.3 STRUTTURA DEL CORRELATORE DIGITALE

Un correlatore digitale è costituito essenzialmente da quattro unità così come mostrato in figura 2.12.

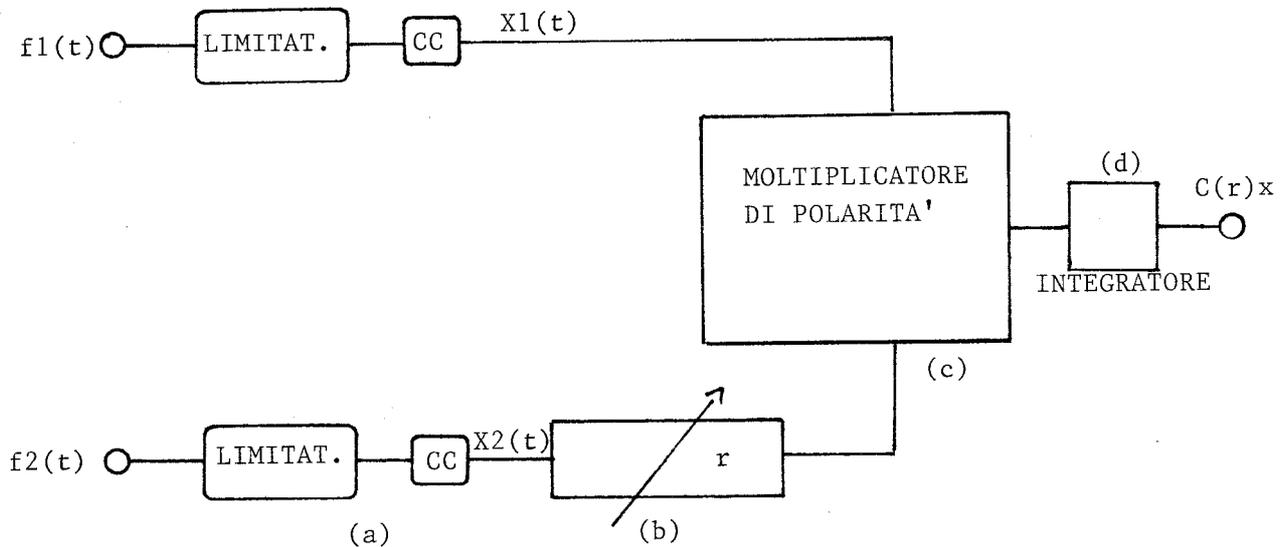


Figura 2.12 Schema a blocchi correlatore digitale

L'unità (a) costituisce il gruppo dei limitatori e delle cellule di campionamento dei segnali di ingresso $f_1(t)$ e $f_2(t)$.

L'unità (b) rappresenta il dispositivo per il ritardo temporale del segnale $X_2(t)$ ottenuto da $f_2(t)$ dopo la limitazione; il ritardo che viene introdotto è variabile, a passi discreti, o dall'operatore o da un apposito circuito automatico programmato.

L'unità (c) è l'elemento di calcolo che consente di eseguire il prodotto dei segni, ora positivi ora zero, delle grandezze a due stati $X_1(t)$ e $X_2(t+r)$.

L'unità (d) è l'elemento aritmetico che esegue in continuità le somme dei prodotti in uscita dal moltiplicatore.

2.3.1 L'UNITÀ DI RITARDO DIGITALE

L'unità di ritardo digitale per la variazione discreta del valore di r è costituita, per la soluzione hardware, da un insieme di circuiti integrati digitali (SHIFT REGISTER) del tipo SERIAL INPUT – PARALLEL OUTPUT, e per la soluzione SOFTWARE da un blocco di memorie.

Descriveremo perciò in dettaglio soltanto l'applicazione delle unità di ritardo hardware, dato che nelle applicazioni software è solo questione di gestione di memorie.

Un tipico esempio di unità di ritardo digitale è fornita dal circuito integrato 4557 B, le cui caratteristiche sono qui di seguito riportate. Il dispositivo è un sistema di ritardo digitale programmabile in modo che il segnale entrante a due stati, proveniente dalla cellula di campionamento (CC), possa essere ritardato da 1 a 64 passi ciascuno del valore di r stabilito.

L'entità del passo di ritardo è determinata dalla frequenza del Clock esterna che deve essere applicata al circuito integrato.

Lo schema del dispositivo collegato come catena di ritardo digitale è mostrato in figura 2.13.

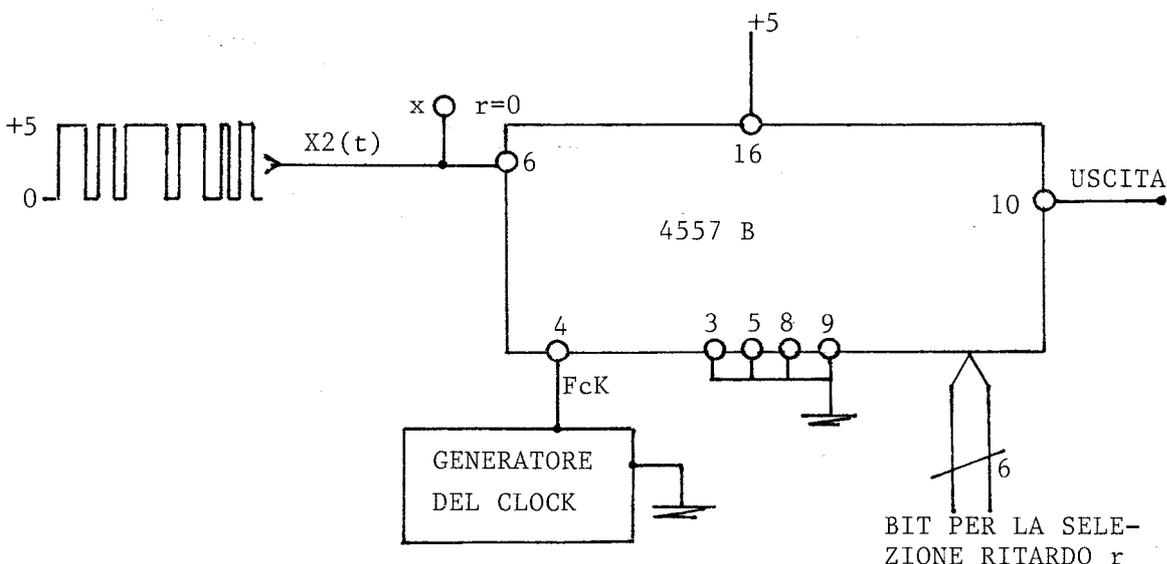


Figura 2.13 Catena di ritardo digitale

Dati integrato 4557 B

1-TO-64 BIT VARIABLE LENGTH SHIFT REGISTER

DESCRIPTION -- The 4557B is a 1-to-64 Bit Variable Length Shift Register with two Serial Data Inputs (D_A, D_B), a Data Select Input (S_D), six Register Length Select Inputs ($S_1, S_2, S_4, S_8, S_{16}$ and S_{32}), active LOW and active HIGH Clock Inputs (\overline{CP}_0 and CP_1), True and Complementary Data Outputs (Q and \overline{Q}) and an overriding asynchronous Master Reset Input (MR).

The 4557B register length is programmable. As shown in the Register Selection Table, any shift register length of between 1 and 64 bits can be selected by applying appropriate logic levels to the Register Length Select Inputs ($S_1, S_2, S_4, S_8, S_{16}$ and S_{32}). Shift register length equals the sum of the 6-bit data word formed by the Register Length Select Inputs ($S_{32} S_{16} S_8 S_4 S_2 S_1$) plus one.

With Data Select Input (S_D) LOW, information at the Serial Data Input, D_B , is shifted into the Variable Length Shift Register on either a HIGH-to-LOW transition at \overline{CP}_0 while CP_1 is HIGH or a LOW-to-HIGH transition at CP_1 while \overline{CP}_0 is LOW. With the Data Select Input (S_D) HIGH, information at Serial Data Input D_A , is shifted into the register on appropriate logic level transitions and logic levels at the Clock Inputs (\overline{CP}_0 and CP_1) as described above.

True and Complementary Data Outputs (Q and \overline{Q}) from the last stage of the variable length shift register are made available.

A HIGH on the Master Reset Input (MR) clears all registers to zero ($Q = \text{LOW}, \overline{Q} = \text{HIGH}$) independent of all other inputs.

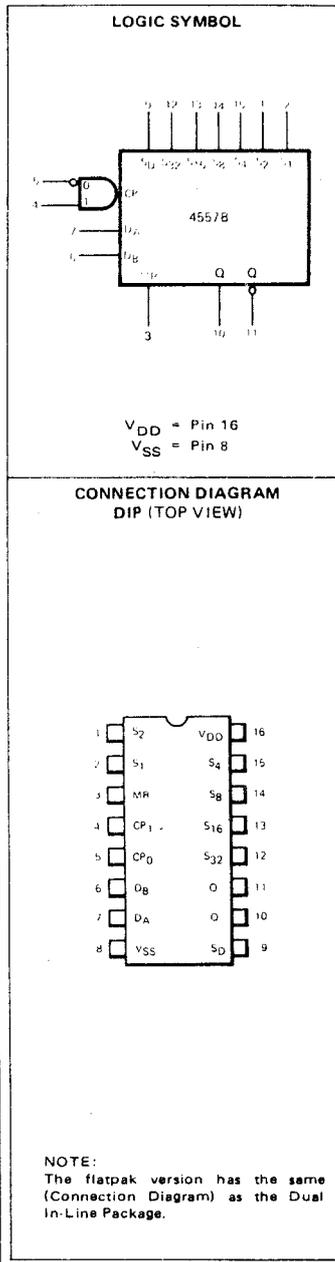
- 1-TO-64 BIT PROGRAMMABLE SHIFT REGISTER
- TRUE AND COMPLEMENTARY DATA OUTPUTS AVAILABLE
- ASYNCHRONOUS MASTER RESET
- TRIGGERS ON EITHER A HIGH-TO-LOW OR LOW-TO-HIGH TRANSITION
- SERIAL DATA INPUT FROM EITHER OF TWO SOURCES

PIN NAMES

D_A, D_B	Serial Data Inputs
S_D	Data Select Input
$S_1, S_2, S_4, S_8, S_{16}, S_{32}$	Register Length Select Inputs
\overline{CP}_0	Clock Input (H→L Triggered)
CP_1	Clock Input (L→H Triggered)
MR	Master Reset Input
Q	Data Output
\overline{Q}	Complementary Data (Active LOW) Output

REGISTER SELECTION TABLE

SELECT INPUTS						REGISTER LENGTH
S_{32}	S_{16}	S_8	S_4	S_2	S_1	
L	L	L	L	L	L	1-BITS
L	L	L	L	L	H	2-BITS
L	L	L	L	H	L	3-BITS
L	L	L	L	H	H	4-BITS
L	L	L	H	L	L	5-BITS
L	L	L	H	L	H	6-BITS
.
.
H	L	L	L	L	L	33-BITS
H	L	L	L	L	H	34-BITS
H	L	L	L	H	L	35-BITS
.
.
H	H	H	H	L	L	61-BITS
H	H	H	H	L	H	62-BITS
H	H	H	H	H	L	63-BITS
H	H	H	H	H	H	64-BITS



Il valore del ritardo elementare r è dato dal reciproco della frequenza di CLOCK; se ad esempio vogliamo $r=5$ microsecondi la frequenza del clock dovrà essere : $F_{ck} = 1 / 5 \times 10^{-6} = 200 \text{ KHz}$.

La frequenza F_{ck} , che si determina in base al valore del ritardo elementare r voluto, deve essere in ogni caso almeno 3 volte la frequenza massima della banda in cui è definita la grandezza $X_2(t)$ da ritardare.

Se ciò non si può realizzare con una sola cellula sarà necessario impiegarne due o più, in modo che il ritardo r voluto sia la somma di più cellule di ritardo inferiore alle precedenti, tali quindi da richiedere una F_{ck} superiore in modo da soddisfare la condizione imposta.

Il segnale $X_2(t)$ per $r=0$ dovrà essere preso all'esterno del circuito integrato, nel punto indicato con x nella figura 2.13, dato che l'integrato 4557 B non prevede predisposizione per ritardo zero.

Per tutti gli altri valori di ritardo si dovrà prelevare la $X_2(t+r)$ dall'uscita dell'integrato, pin 10, che presenterà il ritardo voluto in base all'opportuna predisposizione dei 6 bit di selezione ritardo.

La catena di ritardo digitale, così come mostrato nella figura 2.13, riceve indirettamente la $X_2(t)$, ottenuta dopo limitazione della $f_2(t)$, a due stati compresi tra 0 e +5V.

Il segnale a livello logico $X_2(t)$, infatti, è applicato al 4557 B tramite una cellula di campionamento digitale (1 cellula di SHIFT REGISTER), che ha lo scopo di evitare che la prima cellula della catena di ritardo, fungendo da campionatore, ritardi di $r/2$ invece che di r .

Vedremo più avanti che questo ritardo di campionamento $r/2$ è attribuito anche a $X_1(t)$ in modo da non alterare l'interdipendenza temporale dei due segnali prima del calcolo della funzione di correlazione.

Da quanto abbiamo visto risulta evidente la grande semplicità di questo tipo di catena di ritardo rispetto alla corrispondente catena di ritardo di tipo analogico. Si comprende pertanto che se i fenomeni fisici da indagare richiedono un numero elevato di passi di ritardo è conveniente impiegare un correlatore del tipo digitale.

2.3.2 L'UNITÀ DI MOLTIPLICAZIONE DIGITALE

Questa unità di moltiplicazione, detta anche moltiplicatore a coincidenza di polarità, è uno tra i dispositivi più semplici che l'elettronica digitale è in grado di offrire.

Il processo di moltiplicazione tra i segni del segnale istantaneamente a +5v o a 0v, nella cui durata di stato è contenuta la caratteristica dei segnali stessi, mira a stabilire quando i segni dei segnali sono istantaneamente coincidenti, sia sui valori positivi che sui valori zero.

Questa funzione è la classica risposta di un circuito EXCLUSIVE-NOR che sotto riportiamo:

	A	B	U
1 ^a	0	0	1
2 ^a	1	0	0
3 ^a	0	1	0
4 ^a	1	1	1

La tabella ci mostra che l'uscita del EXCLUSIVE – NOR è al livello 1 quando i due ingressi sono coincidenti, tanto che siano entrambi zero, 1^a riga, quanto che siano entrambi 1, 4^a riga; per gli altri due stati non coincidenti, righe 2^a e 3^a l'uscita del dispositivo è zero.

Dato che la distribuzione delle coincidenze di segno e di durata dei segnali è funzione della interdipendenza di questi l'uscita della EXCLUSIVE – NOR, opportunamente integrata nel tempo fornirà il valore dell'interdipendenza stessa tra i segnali, cioè la $C(r)x$.

Uno dei circuiti integrati che meglio si prestano come unità di moltiplicazione digitale è il 4077 B la cui caratteristica logica di EXCLUSIVE – NOR è quella della precedente tabella.

Pertanto una unità di moltiplicazione logica è ricavabile da un solo quarto del componente 4077 B così come riportato in figura 2.14

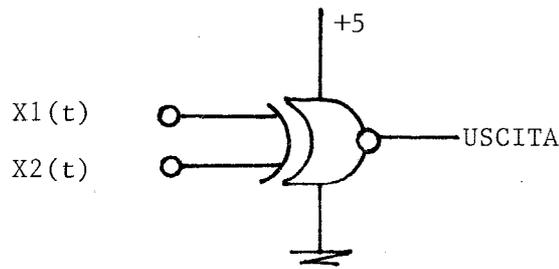
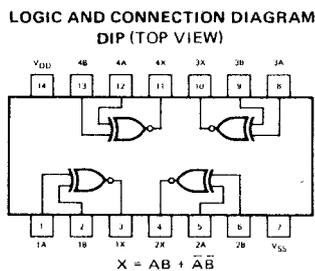


Figura 2.14 Cellula esclusiva-nor

Le caratteristiche elettriche del 4077 B sono di seguito riportate. Anche per questa unità del correlatore digitale si nota la grande semplicità strutturale rispetto al corrispondente moltiplicatore analogico. Se l'integrato 4077 B è alimentato a +5V esso può ricevere i segnali X2(t+nr) direttamente dall'unità di ritardo che abbiamo mostrato nel paragrafo precedente.



Dati 4077 B

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-line Package.

DC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0\text{ V}$ (See Note 1)														
SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		$V_{DD} = 5\text{ V}$			$V_{DD} = 10\text{ V}$			$V_{DD} = 15\text{ V}$						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
I_{DD}	Quiescent Power Supply Current	XC	1			2			4			μA	MIN, 25°C	All inputs at 0 V or V_{DD}
			7.5			15			30					
XC	XM	0.25			0.5			1			μA	MIN, 25°C		
		7.5			15			30					MAX	

AC CHARACTERISTICS: V_{DD} as shown, $V_{SS} = 0\text{ V}$, $T_A = 25^\circ\text{C}$ (See Note 2)												
SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5\text{ V}$			$V_{DD} = 10\text{ V}$			$V_{DD} = 15\text{ V}$				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, A or B to X		55	110		27	55		17	44	ns	$C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$
t_{PHL}			65	130		27	55		20	44	ns	
t_{TLH}	Output Transition Time		53	100		20	50		15	35	ns	Input Transition Times $\leq 20\text{ ns}$
t_{THL}			53	100		20	50		15	35	ns	

2.3.3 L'UNITÀ INTEGRATORE E IL TRASLATORE DI LIVELLO

L'unità integratore del correlatore digitale è del tutto simile a quella del correlatore analogico; in questa applicazione, avendo i livelli diversi da zero tutti la stessa ampiezza, essa si limiterà a sommare le energie contenute nei singoli impulsi che dipenderanno dalla durata e dal numero degli stessi.

In questo caso però $C(r)x$ non assumerà valori positivi e negativi ma soltanto valori zero o positivi dato che l'uscita dell'integrato 4077B si sviluppa tra 0 e + Val. In queste condizioni, per poter paragonare le $C(r)x$ con le $C(r)$ si dovranno fare le seguenti considerazioni:

Al massimo positivo della $C(r)x$ corrisponde il massimo positivo della $C(r)$.

Allo zero della $C(r)x$ corrisponde il massimo valore negativo della $C(r)$.

Al valore mediano della $C(r)x$ corrisponde il valore zero della $C(r)$.

Da ciò consegue che per ottenere dal sistema digitale funzioni di correlazione simili a quelle analogiche dobbiamo anzitutto individuarne gli algoritmi; questi si ottengono modificando tutte le funzioni di correlazione digitale normalizzate, descritte nel paragrafo 1.4, moltiplicandole per il termine $Val./2$ così come ad esempio la 1.16) e la 1.17) che diventano rispettivamente:

$$C(r)x = \frac{Val.}{3.14} \text{Arcsen} \frac{\text{Sen}(6.28 F1 r)}{(6.28 F1 r)} \quad 2.5)$$

$$C(r)x = \frac{Val.}{3.14} \text{Arcsen} \left[\frac{\text{Sen}(6.28 DF r)}{(6.28 DF r)} \text{Cos}(6.28 Fo r) \right] \quad 2.6)$$

Se vogliamo ora che dal correlatore digitale si generino le 2.5) ; 2.6), funzioni di correlazione paragonabili, nell'aspetto, a quelle del correlatore analogico dobbiamo operare sulle tensioni all'uscita dell'integratore digitale uno spostamento di livello.

Un esempio grafico chiarirà il concetto: dall'uscita di un correlatore digitale , alimentato con $V_{al.} = 5V$, si ha la $C(r)x$ riportata in figura 2.15

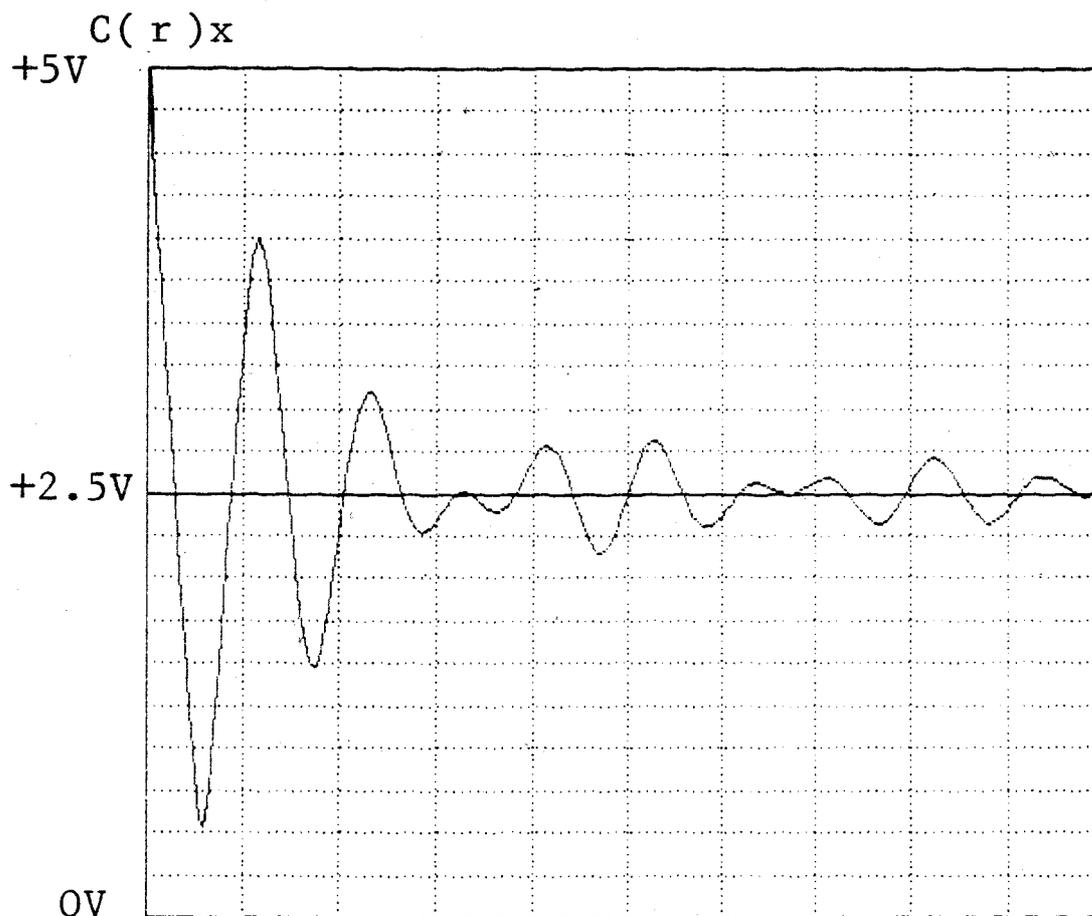
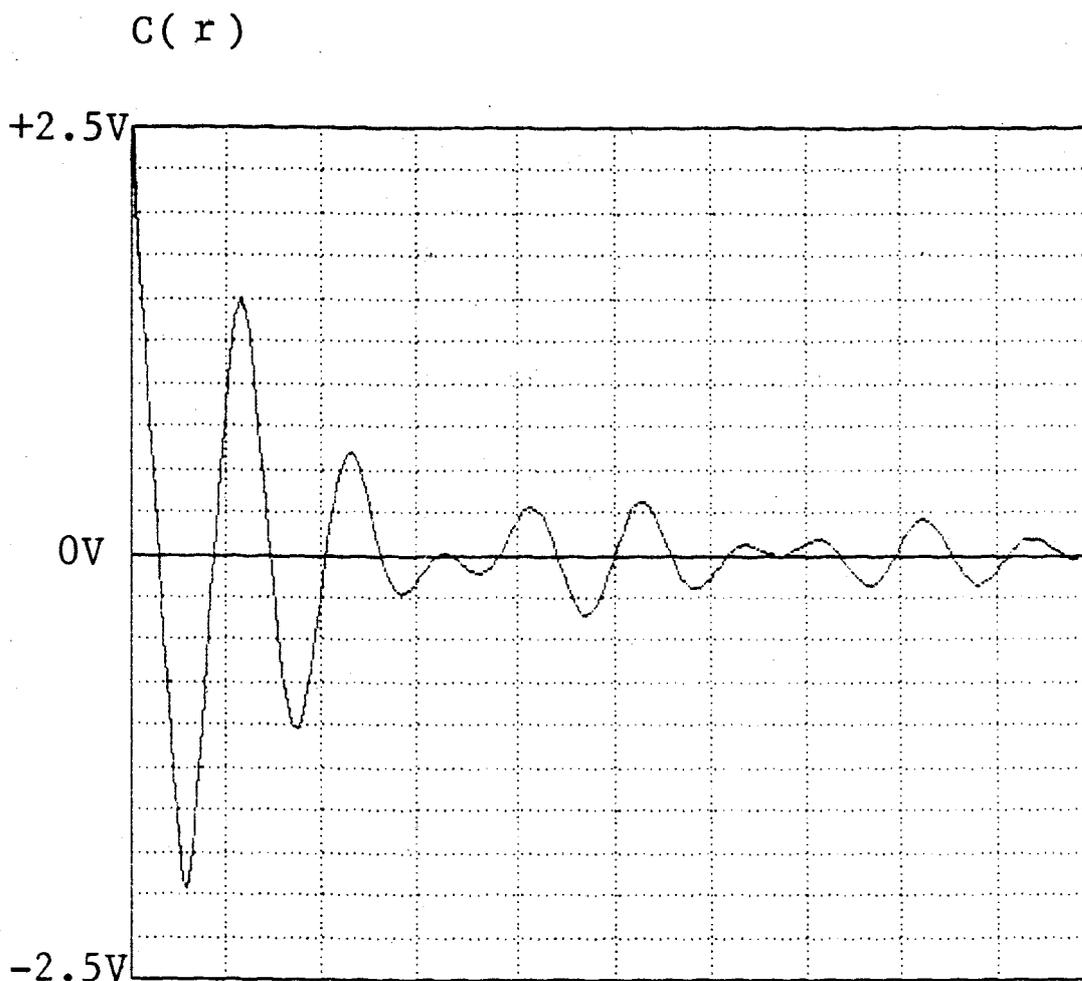


Figura 2.15 $C(r)x$ in uscita dal correlatore digitale

questa funzione dovrà essere traslata in basso affinché ai valori inferiori a +2.5V corrispondano dei valori negativi, così come si avrebbero se il correlatore fosse analogico; dopo la traslazione si otterrà il grafico di figura 2.16.



*Figura 2.16 $C(r)x$ del correlatore
traslata in basso*

Dalla curva di figura 2.16 si vede che ora la $C(r)x$ è paragonabile con le analoghe $C(r)$.

Questa operazione si esegue semplicemente mediante il collegamento dell'unità integratore con un amplificatore operazionale così come mostrato in figura 2.17. L'operazionale è configurato come un sommatore che da un lato riceve la $C(r)x$ e dall'altro riceve una tensione continua regolabile che consente di variare il livello base d'uscita.

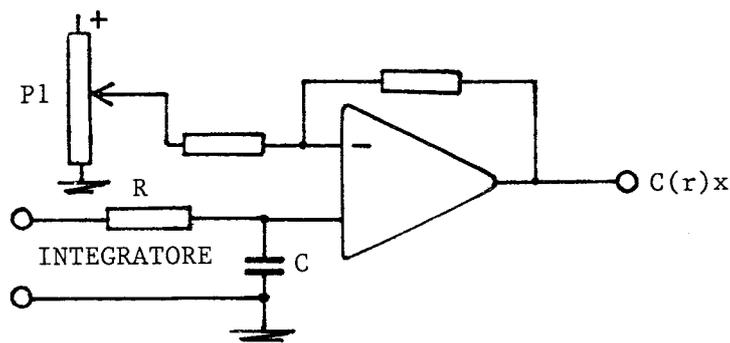


Figura 2.17 Traslatore di livello

In questo circuito, mediante la regolazione di P1, si trasla verso i valori negativi la $C(r)x$ fino ad ottenere l'effetto desiderato. Il traslatore ha inoltre il compito di disaccoppiare l'unità integratore dai circuiti o strumenti che vengono collegati al correlatore.

Anche nell'unità integratore digitale si presentano gli stessi problemi già visti per l'unità integratore analogica.

Si avrà pertanto anche in questa soluzione circuitale, per gli stessi motivi già visti al paragrafo 2.2.3, la presenza della varianza d'uscita dovuta al segnale e il conflitto tra la riduzione della varianza stessa, riducendo Ft , e la conseguente riduzione della velocità di assestamento del correlatore digitale.

2.3.4 UN CORRELATORE DIGITALE COMPLETO

Analogamente a quanto abbiamo mostrato nel paragrafo 2.2.4 illustreremo una struttura circuitale completa di un correlatore digitale che potrà servire come aiuto al progettista.

Il circuito dell'autocorrelatore che riportiamo in figura 2.18 può essere adattato ad un caso pratico e data la semplicità può essere di base per il dimensionamento di sistemi simili.

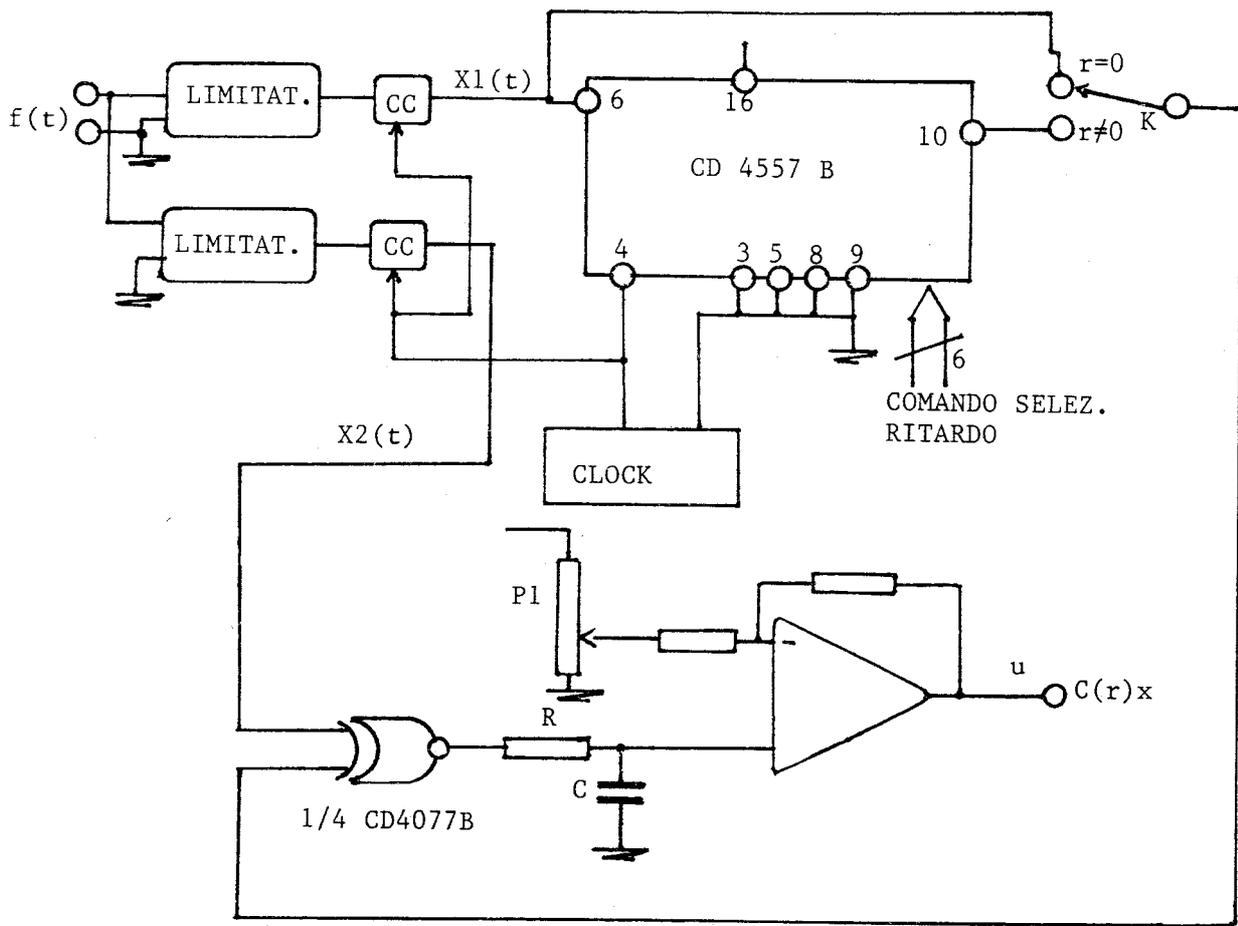


Figura 2.18 Correlatore digitale

• Nel circuito si nota la presenza dei due limitatori e dei due campionatori (CC), disposti sui due canali del correlatore per le ragioni già spiegate alla fine del paragrafo 2.3.1

Per la misura $C(r=0)x$ il commutatore K deve stare nella posizione indicata; per tutti gli altri 64 valori di r il commutatore K deve prelevare il segnale all'uscita del 4557 B che dovrà opportunamente essere programmato sul valore di r prescelto mediante la opportuna combinazione dei 6 bit di selezione ritardo.

L'autocorrelatore si trasforma in un sistema per la correlazione incrociata applicando semplicemente a ciascun limitatore i segnali $f_1(t)$ e $f_2(t)$.

Anche nell'impiego dei correlatori digitali si presenta sovente la necessità di valutare le $C(r)_x$ o le $C(r)_{x1,2}$ per segnali del tipo $f(t)$ o $f_1(t); f_2(t)$ definiti in bande diverse da quelle naturali; in questi casi i limitatori dovranno essere preceduti dai circuiti di filtraggio passa basso o passa banda già illustrati nella figura 2.11.

2.3.5 LE CARATTERISTICHE DEI LIMITATORI DEI CORRELATORI DIGITALI

Nel paragrafo precedente abbiamo visto che a volte i segnali $f(t)$ devono essere trasformati in grandezze del tempo del tipo $X(t)$, a due stati, per poterle poi trattare con i circuiti digitali al fine di ottenere le funzioni di autocorrelazione o di correlazione incrociata con circuiti più semplici di quelli analogici.

La trasformazione in oggetto si ottiene mediante l'applicazione delle grandezze $f(t)$ a dispositivi di limitazione d'ampiezza che hanno delle caratteristiche particolari; vediamole in ordine:

A) Il limitatore deve poter trasformare le $f(t)$ in $X(t)$ entro un'ampia dinamica d'ampiezza; deve pertanto operare correttamente sia ai massimi livelli della $f(t)$ sia ai livelli minimi.

B) L'onda d'uscita $X(t)$, qualora la $f(t)$ sia del tipo $f(t)=\text{Sen}Wt$, deve essere un'onda rettangolare in cui la presenza della seconda armonica di $f(t)$ sia attenuata almeno di 40 dB rispetto all'ampiezza dell'onda rettangolare d'uscita.

C) Il limitatore deve presentare le caratteristiche di cui ai punti precedenti in tutto il campo delle frequenze in cui è definita la $f(t)$.

D) Il limitatore deve essere intrinsecamente stabile anche se eccitato da tensioni impulsive di ingresso.

Un dispositivo di questo tipo, che trasforma la $f(t)=A \text{ Sen } Wt$ così come abbiamo già mostrato in figura 1.12 ,è facilmente realizzabile nel campo delle frequenze medio basse, diventa invece un complicato problema tecnico se deve essere realizzato per frequenze molto alte. Una struttura circuitale molto stabile che bene si adatta alle frequenze medio basse è mostrata in figura 2.19.

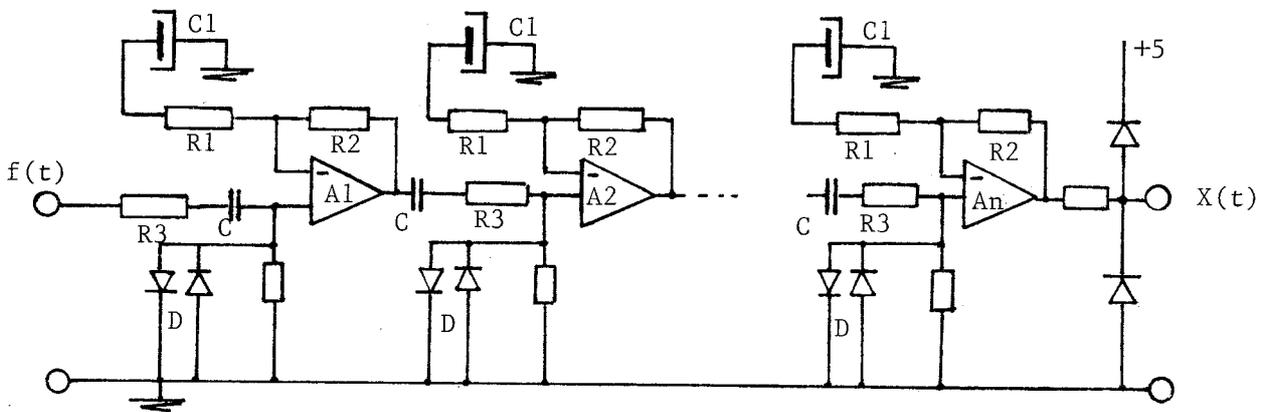


Figura 2.19 Circuito limitatore

I guadagni dei singoli stadi A_1, A_2, \dots, A_n devono essere tali che quando i diodi d'ingresso entrano in limitazione il segnale all'uscita dell'operazionale non viene distorto dalla saturazione dell'operazionale stesso ; vediamo un esempio:

Quando i diodi entrano in limitazione ai loro capi si ha una tensione di circa 1.4 Vpp, se il guadagno G dell'operazionale sarà di 18 volte alla sua uscita si presenterà un segnale di circa 25 Vpp che, se l'operazionale è alimentato tra +15 e -15v, non porterà in saturazione l'amplificatore, dato che il margine a quel livello è di circa altri 3 Vpp.

Il numero n degli stadi dipende dalla dinamica del segnale $f(t)$; deve essere tale da consentire che il minimo segnale previsto per $f(t)$ impegni completamente i diodi di ingresso dello stadio ($n-2$).

Un altro esempio chiarirà la cosa in base ai seguenti dati e alla tabella dei livelli annessa:

$f(t)$ minimo = 10 mVpp

G singolo stadio = 18 volte

Livello in uscita di uno stadio
per portare in assoluta conduzione
i diodi dello stadio seguente = 25 Vpp

TABELLA LIVELLI CIRCUITO LIMITATORE

Amplificatore	Tensione di ingresso	Tensione di uscita	Stato dei diodi di ingresso agli amplificatori
A1	10 mVpp	180 mVpp	non sono in conduzione
A2	180 mVpp	3.2 Vpp	non sono in conduzione
A3	~ 1 Vpp	~ 18 Vpp	conduzione con $V_{be} \sim 0.5V$
A4	1.4 Vpp	25 Vpp	piena conduzione con $V_{be} = 0.7V$
A5	1.4 Vpp	25 Vpp	piena conduzione con $V_{be} = 0.7V$
A6	1.4 Vpp	25 Vpp	piena conduzione con $V_{be} = 0.7V$

La tabella mostra chiaramente che i diodi di ingresso dello stadio (n-2), cioè A4, sono in piena conduzione per il minimo segnale previsto per la f(t). Il limitatore deve pertanto essere realizzato con 6 stadi in cascata. Gli amplificatori operazionali devono essere ad elevato SLEW RATE ed i diodi, del tipo per alte velocità, devono essere selezionati a coppie per la stessa Vbe.

Il limitatore è completato da un circuito finale a soglia che consente alla X(t) di essere disponibile tra -0.7V e +4.3V per l'applicazione ai circuiti logici del correlatore digitale.

Il limitatore che abbiamo illustrato potrà essere realizzato in un solo esemplare se si dovrà trasformare la f(t) in X(t) per misurare la funzione di autocorrelazione con il circuito di figura 2.18.

Il limitatore dovrà invece essere realizzato in due esemplari se si dovrà misurare la funzione di correlazione incrociata tra f1(t) trasformata in X1(t) e f2(t) trasformata in X2(t).

2.3.6 IL CORRELATORE IMPLEMENTATO TRAMITE SOFTWARE

Abbiamo già specificato al paragrafo 2.2. che la $C(r)_{1,2}$ e la $C(r)_{x1,2}$ altro non sono che la somma di infiniti prodotti estesa per un tempo T_0 ; ciò per la $C(r)_{1,2}$ è:

$$C(r)_{1,2} = f_1(t_1) \times f_2(t_1+r) + f_1(t_2) \times f_2(t_2+r) + f_1(t_3) \times f_2(t_3+r) + \dots$$

dove $t_1; t_2; t_3; \dots$ rappresentano i successivi tempi incrementati di quantità infinitesime.

Nell'elaborazione delle $C(r)_{1,2}$ o $C(r)_{x1,2}$ per via software con un MICROPROCESSORE, ad esempio, gli incrementi temporali non possono più essere degli infinitesimi, ma necessariamente devono essere degli incrementi di tempo finiti, più brevi possibile.

Ciò impone che le $f_1(t)$ e $f_2(t)$ debbano essere introdotte nel micro-

processore mediante campionatura, tramite convertitori A/D; il campionamento non deve seguire il criterio di NYQUIST per la ricostruzione dei segnali, ma deve consentire di sovracampionare i segnali il più possibile, compatibilmente con la velocità complessiva di macchina, in modo da realizzare all'interno del microprocessore una funzione di correlazione che più si avvicini a quella computata con hardware analogico.

In questo caso, detta F_c la frequenza di campionatura, la funzione di correlazione $C(r)_{1,2}$ avrà la forma:

$$C(r)_{1,2} = f_1(t_0 + 1/F_c) \times f_2(t_0 + r + 1/F_c) + f_1(t_0 + 2/F_c) \times f_2(t_0 + r + 2/F_c) + \dots$$

dove t_0 è l'istante iniziale del processo. In questa implementazione nel microprocessore (MP), inoltre, il ritardo r può variare tra 0 e n/F_c a passi di k/F_c con k intero, mediante opportuno comando esterno tramite una porta del MP.

Il sistema di carica delle memorie del MP con i campioni di $f_1(t)$ e $f_2(t)$ è lasciato naturalmente alla fantasia del softwareista così come l'esplorazione delle memorie stesse per formare i vari prodotti nelle diverse condizioni del ritardo r predisposto dall'esterno.

Si suggerisce invece un utile algoritmo per l'implementazione delle somme successive nella parte di software che sostituisce l'unità di integrazione.

L'algoritmo in questione ha un comportamento simile a quello dell'unità integratrice analogica già vista nel paragrafo 2.2.3.

Ha su di essa un notevole vantaggio; può essere variato il tempo di integrazione via software con un comando dall'esterno mediante una porta del MP.

L'integrazione numerica si esegue secondo l'equazione iterativa :

$$Y(m+1) = Y + Y(m) - Y(m)/B \quad 2.7)$$

dove $Y(m)$ è il contenuto della memoria in cui vengono depositate le somme dei prodotti $f_1(t_{0+1}/F_c) \times f_2(t_{0+r+1}/F_c)$ ecc, dopo la (m) esima somma, Y è il valore del prodotto che entra per il calcolo del campione di integrazione $(m+1)$ esimo e B è un intero che rappresenta il coefficiente di integrazione.

Il calcolo del valore $Y(m)$ è legato al valore di B nel seguente modo :

Quando il numero dei campioni (m) raggiunge il valore del B impostato, il livello di $Y(m)$ si porta al 68 % del valore massimo BY raggiungibile con un numero infinito di campioni; così come il valore di RC dell'integratore dei correlatori hardware stabilisce il tempo entro il quale l'ampiezza della $C(r)$ raggiunge il 63 % del valore massimo che le compete.

Se il calcolo secondo la 2.7) viene eseguito non considerando le cifre decimali, approssimando agli interi inferiori, il valore di $Y(m+1)$ raggiunge con un numero finito di campioni il valore BY dove B , che è l'equivalente della RC del circuito di integrazione analogico, può essere variato a piacere su comando esterno al MP. La $C(r)$ in uscita dal MP, in forma numerica, viene trasformata in dato analogico mediante un convertitore D/A seguito da un adatto filtro passa basso per l'eliminazione degli spettri ripetuti dovuti alla campionatura.

Lo schema a blocchi misto (hardware/software) del sistema completo è riportato infine in figura 2.20 ; in esso si individuano tutte le funzioni hardware e software che sono state sopra descritte.

La scelta dei convertitori A/D deve essere fatta, sia in base alle frequenze massime da convertire, sia in funzione della dinamica delle $f(t)$ che subordina il numero dei bit di conversione, naturalmente se le grandezze sono del tipo $X(t)$ i convertitori possono essere dei più semplici. Anche la scelta del microprocessore è subordinata alla frequenza delle grandezze $f(t)$ ed alla frequenza di campionatura F_c entro il periodo della quale devono essere svolti tutti i calcoli necessari per la determinazione della $C(r)$.

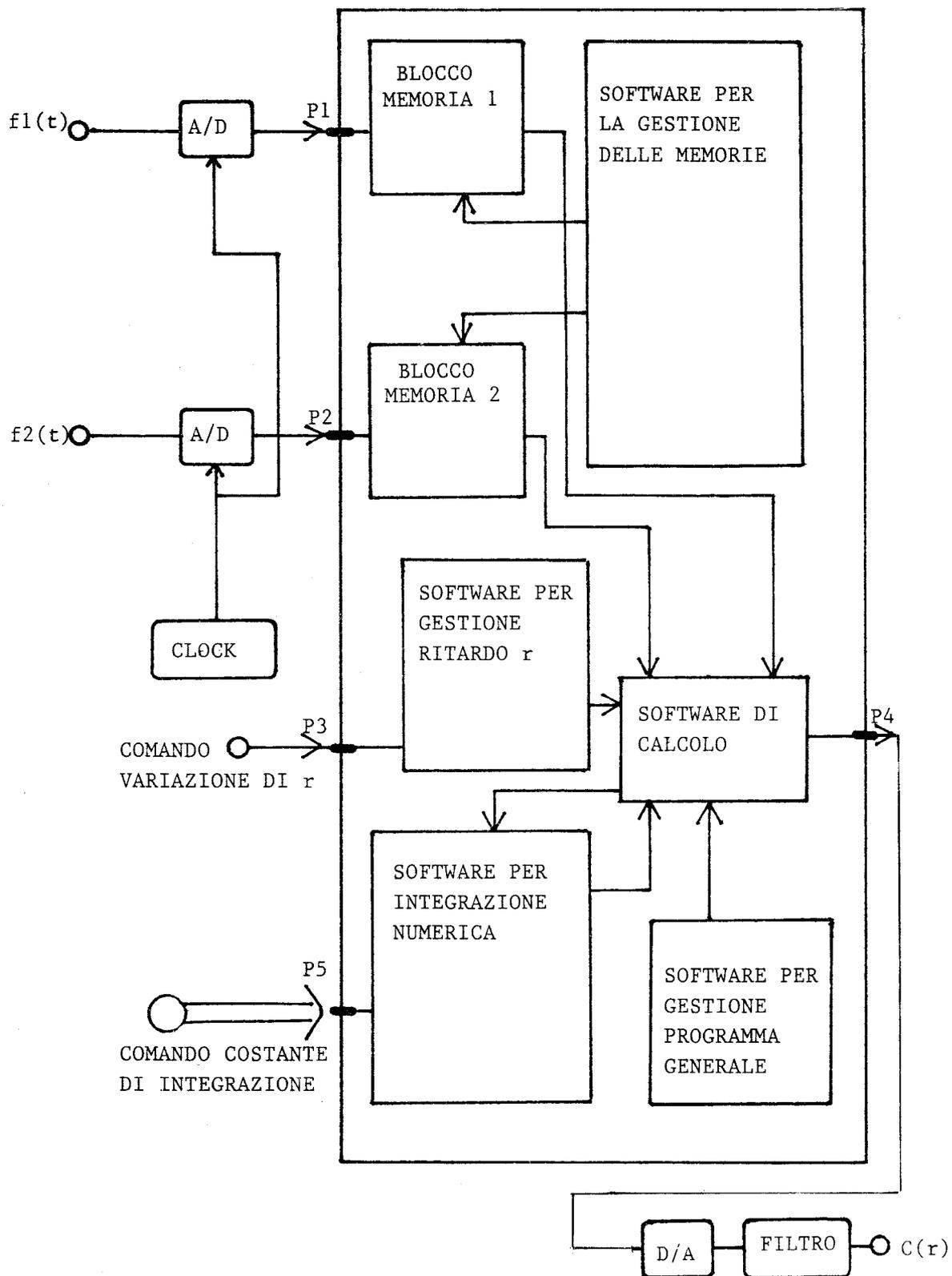


Figura 2.20 Sistema di correlazione con microprocessore